

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09162373

(43)Date of publication of application: 20.06.1997

(51)Int.Cl.

H01L 27/115  
G11C 16/06  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number: 07315068

(71)Applicant:

HITACHI LTD  
HITACHI DEVICE ENG CO LTD

(22)Date of filing: 04.12.1995

(72)Inventor:

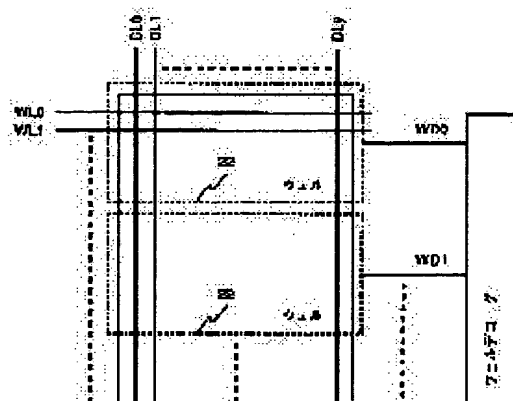
SAEKI SHUNICHI  
KAWAHARA TAKAYUKI  
KINO YUSUKE  
MIYAMOTO NAOKI  
KATO MASATAKA  
KIMURA KATSUTAKA

(54) NONVOLATILE MEMORY DEVICE

(57)Abstract:

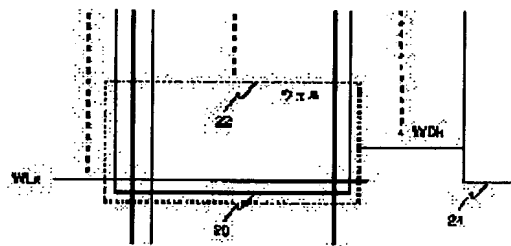
**PROBLEM TO BE SOLVED:** To obtain a flash memory suited for provision of a large capacity by relaxing the erase disturbance.

**SOLUTION:** In a flash memory, the wells of a memory cell array 20 are divided into k blocks in the length direction of word lines WL1-WLx and veil decoder 24 is provided for selecting the wells 22 corresponding to addresses of the selective memory cells. At erasing, a negative voltage is applied to only 1/k wells of the array selected by the well decoder whereby the





number of other memory cells to the wells of which the negative voltage is applied whereas they are not selected at erasing can be reduced to  $1/k$ , compared with that in the prior art and hence the erase disturbance can be relaxed which turns serious with the increase of the capacity.




---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

---

Copyright (C); 1998 Japanese Patent Office

---

[MENU](#)

[SEARCH](#)

[INDEX](#)

[DETAIL](#)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-162373

(43) 公開日 平成9年(1997)6月20日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/115			H 0 1 L 27/10	4 3 4
G 1 1 C 16/06			G 1 1 C 17/00	5 3 0 D
H 0 1 L 21/8247			H 0 1 L 29/78	3 7 1
29/788				
29/792				

審査請求 未請求 請求項の数18 O L (全 33 頁)

(21) 出願番号 特願平7-315068

(22) 出願日 平成7年(1995)12月4日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 佐伯 俊一

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

(72) 発明者 河原 尊之

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 蔭田 利幸

最終頁に続く

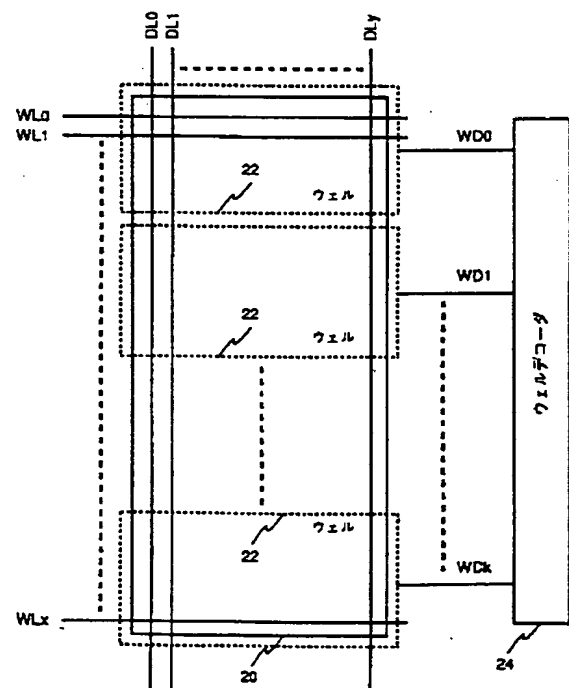
(54) 【発明の名称】 不揮発性記憶装置

(57) 【要約】

【課題】 消去ディスタープを緩和し大容量化に適したフラッシュメモリを得る。

【解決手段】 フラッシュメモリにおいて、メモリセルアレイ20のウェルをワード線WL1~WLxの配列方向にk個に分割し、選択メモリセルのアドレスに対応したウェル22を選択するウェルデコード24を設ける。消去時には、ウェルデコードによって選択された1/kのメモリセルアレイのウェルにのみ負電圧を印加する。これにより、消去非選択にもかかわらずウェルに負電圧が印加されるメモリセルの数を従来に比べて1/k個に低減できるので、大容量化に伴い深刻となる消去ディスタープを緩和することができる。

図1



## 【特許請求の範囲】

【請求項1】制御ゲートと浮遊ゲートを有する複数のメモリセルと、該メモリセルと接続したワード線と該ワード線を駆動する複数のデコーダ素子からなるデコーダ回路とを有する半導体記憶装置において、

1本当たりm個のメモリセルと接続された複数のデータ線と交差するワード線n本分のメモリセルアレイを1ブロックとする複数のブロック毎に、電氣的に分離されたメモリセルアレイのウェルを設け、  
該ウェルに選択的に電圧を印加する手段を更に備えたことを特徴とする不揮発性記憶装置。

【請求項2】制御ゲートと浮遊ゲートを有する複数のメモリセルと、該メモリセルと接続したワード線と該ワード線を駆動する複数のデコーダ素子からなるデコーダ回路とを有する半導体記憶装置において、  
前記複数のメモリセルは、同じデータ線に接続されるm個のメモリセルの各ソースとドレインが埋込み拡散層によって接続されると共に、ソースの拡散層は第1の選択トランジスタを介して共通ソース線に、ドレインの拡散層は第2の選択トランジスタを介してグローバルデータ線にそれぞれ接続され、かつ、  
前記共通ソース線はワード線n本分のメモリセルアレイを1ブロックとする複数のブロック毎に分割されたメモリセルアレイのウェル単位で分割されると共に、同じ複数のブロック内の、共通ソース線とメモリセルアレイのウェルとが接続されるように構成されてなり、  
メモリセルの浮遊ゲートへウェルから電子を注入する動作の際に、選択メモリセルにはゲートに正電圧、ウェルとソースに負電圧を印加し、ドレインをフローティングにすると共に、前記選択メモリセルの属さないウェルの非選択メモリセルのウェルとソースに対しては前記選択メモリセルとは異なる電圧を印加する手段を備えたことを特徴とする不揮発性記憶装置。

【請求項3】前記選択メモリセルとは異なる電圧を印加する手段は、メモリセルの浮遊ゲートからウェルへ電子を放出する動作の際には、選択メモリセルにはゲートに負電圧、ウェルとソースに正電圧を印加し、ドレインをフローティングにすると共に、前記選択メモリセルの属さないウェルの非選択メモリセルのウェルとソースに対しては前記選択メモリセルとは異なる電圧を印加するように動作する請求項2記載の不揮発性記憶装置。

【請求項4】制御ゲートと浮遊ゲートを有する複数のメモリセルと、該メモリセルと接続したワード線と該ワード線を駆動する複数のデコーダ素子からなるデコーダ回路とを有する半導体記憶装置において、  
1本当たりm個のメモリセルと接続された複数のデータ線と交差するワード線n本分のメモリセルアレイを1ブロックとする複数のブロック毎に、電氣的に分離されたメモリセルアレイのウェルを設け、  
前記ワード線を駆動するデコーダ回路が、

所要のウェルに選択的に電圧を印加する手段と、  
前記複数のブロックの中から所要のブロックを選択するブロック選択手段と、  
選択されたブロック内のワード線を選択するゲート選択手段とから構成されたことを特徴とする不揮発性記憶装置。

【請求項5】前記ワード線を駆動するデコーダ回路の各々のデコーダ素子がコンプリメンタリ形MOSからなるインバータから構成されると共に、  
該インバータの、ゲート信号と高電位側電源信号と低電位側電源信号とをそれぞれ独立に制御する手段を更に設けて成る請求項1～4のいずれか1項に記載の不揮発性記憶装置。

【請求項6】前記デコーダ素子を共有するように各ワード線に第1のスイッチング手段を設けて成る請求項5記載の不揮発性記憶装置。

【請求項7】メモリセルの浮遊ゲートへ電子を注入または放出する動作の際に非選択メモリセルに接続するワード線全てに所定の非選択ワード電圧を印加する第2のスイッチング手段を更に設けて成る請求項6記載の不揮発性記憶装置。

【請求項8】前記メモリセルアレイがワード線方向にkバイト毎のメモリサブアレイに分割して配置されると共に、kバイト単位での動作を行なうように前記デコーダ素子であるインバータのゲート信号をkバイト毎に独立にデコードする手段を備えて成る請求項5～7のいずれか1項に記載の不揮発性記憶装置。

【請求項9】前記ウェルに選択的に電圧を印加する手段を構成するMOSトランジスタのゲートは、データ線方向へくし型に折返して配置して成る請求項1または請求項4に記載の不揮発性記憶装置。

【請求項10】インバータから構成される前記デコーダ素子のゲート信号を制御する手段はゲートデコーダとサブデコーダであり、前記デコーダ素子の電源信号を制御する手段はブロックデコーダであり、メモリセルアレイの前記ウェルを選択して駆動する手段はウェルデコーダであって、前記ブロックデコーダとウェルデコーダのアドレス信号は上位のアドレス信号を共有するように構成して成る請求項5に記載の不揮発性記憶装置。

【請求項11】インバータから構成される前記デコーダ素子の電源信号を制御する手段はブロックデコーダであり、メモリセルアレイの前記ウェルを選択して駆動する手段はウェルデコーダであって、前記ブロックデコーダとウェルデコーダのアドレス信号は各々独立の信号であるように構成して成る請求項5に記載の不揮発性記憶装置。

【請求項12】インバータから構成される前記デコーダ素子は、kバイト毎に分割された全てのメモリサブアレイの両側に配置して成る請求項5～請求項11のいずれか1項に記載の不揮発性記憶装置。

【請求項13】インバータから構成される前記デコーダ素子は、kバイト毎に分割されたいずれか1つのメモリサブアレイの両側に配置すると共に、その他のメモリサブアレイと共有して成る請求項6または請求項7に記載の不揮発性記憶装置。

【請求項14】前記インバータのnチャネル形MOSトランジスタは、低電位側電源信号側の拡散層を共通にしてゲートがワード線と直交するようにレイアウトして成る請求項5～13のいずれか1項に記載の不揮発性記憶装置。

【請求項15】前記インバータのpチャネル形MOSトランジスタは、高電位側電源信号側の拡散層を共通にしてゲートがワード線と直交するようにレイアウトして成る請求項5～14のいずれか1項に記載の不揮発性記憶装置。

【請求項16】前記第1のスイッチング手段は、各ワード線につきnチャネル形MOSトランジスタ1個で構成され、ワード線を駆動する共通のデコーダ素子に接続される複数の第1のスイッチ手段のnチャネル形MOSトランジスタの、デコーダ素子と接続する側の拡散層を共通にしてゲートがワード線と直交するようにレイアウトして成る請求項6、7、13のいずれか1項に記載の不揮発性記憶装置。

【請求項17】前記第2のスイッチング手段は、各ワード線につきnチャネル形MOSトランジスタ1個で構成され、複数の第2のスイッチ手段のnチャネルMOSトランジスタの書き込み非選択ワード電圧が直接印加される側の拡散層を共通にしてゲートがワード線と直交するようにレイアウトして成る請求項7または請求項13に記載の不揮発性記憶装置。

【請求項18】デコーダ素子を構成する負電圧動作のnチャネル形MOSトランジスタの隣にVCC電源を持つpチャネル形MOSトランジスタを配置し、負電圧動作のnチャネル形MOSトランジスタのn-ウェルに給電するVCC電源と、pチャネル形MOSトランジスタのVCC電源とを共有することによってレイアウト面積を縮小して成る請求項5～8のいずれか1項に記載の不揮発性記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明はフラッシュメモリなどの不揮発性記憶装置に係り、特にメモリセルアレイのウェルを複数に分割して選択されたメモリセルの属するウェルにだけ消去電圧を印加することにより、消去ディスターブを緩和することを可能にした不揮発性記憶装置に関する。

##### 【0002】

【従来の技術】電気的に書き込みおよび消去が可能な不揮発性記憶装置の一種であるフラッシュメモリは、そのメモリセルが制御ゲートと浮遊ゲートからなる単純な構成

を有する。このため、同一微細加工技術を用いた場合には通常のダイナミック型ランダムアクセスメモリ(DRAM)よりも小さなメモリセル面積で構成することができ、その結果高密度化が可能であることから、最近活発にフラッシュメモリの研究開発がなされている。

【0003】この種のフラッシュメモリの従来例として、1994 シンポジウム オンブイエエルエスアイサーキット、ダイジェスト オブ テクニカル ペーパーズ、第61～62頁(1994 Symposium on VLSI Circuits, Digest of Technical Papers, pp.61～62)に記載された図2に示すようないわゆるAND型のメモリセルアレイ構成が知られている。メモリセルアレイは多数のブロックに分割されており、ここでは2ブロック分のブロック0およびブロック1の一部を示してある。なお、以下に述べる構成および動作は、図示しない他のブロックにおいても同様である。以下の説明において、端子名を表す記号は同時に配線名、信号名も兼ね、電源の場合はその電圧値も兼ねるものとする。

【0004】図2において、参照符号C00～C1mはメモリセルを、W00～W1mはワード線を、DL0～DLyはグローバルデータ線をそれぞれ示す。ブロック0とブロック1内は複数のデータ線から成るサブアレイ26で構成されている。ここでは、グローバルデータ線DL0に接続されたデータ線のメモリセルについて説明するが、他のデータ線についても同様である。サブアレイ26にはそれぞれ1データ線上にm個のメモリセルC00～C0m、C10～C1mが存在している。サブアレイ26内における各メモリセルのソースを共通接続するソース線S00、S10および各メモリセルのドレインを共通接続するドレイン線D00、D10は、それぞれ拡散層を用いている。このソース線S00、S10は、信号線S0S、S1Sでそれぞれ制御されるブロック選択MOSトランジスタST00S、ST10Sを介して共通ソース線SL0に接続されている。また、ドレイン線D00、D10は信号線S0D、S1Dでそれぞれ制御されるブロック選択MOSトランジスタST00D、ST10Dを介してグローバルデータ線DL0に接続されている。ソース線及びドレイン線は拡散層配線を使用することにより、金属配線への接続はm個のメモリセルで1個のコンタクト孔を共有できるので、メモリセル面積の微細化が可能である。

【0005】また、ワードデコーダ回路は高速化を図るために、ブロックを選択するブロックデコーダ10と、選択されたブロック内の特定のワード線を選択するためのゲートデコーダ12と、サブデコーダ14とに階層化されている。サブデコーダ14は、図3に示すような相補型MOS(CMOS)の複数のインバータからなり、その各出力がワード線に接続されている。以下、サブデコーダ14を構成する各インバータをサブデコーダ素子と称する。

【0006】ここで、G00~G0mは各サブデコード素子へ入力されるワード線選択用のゲート信号、B0PとB1Pは各サブデコード素子のpチャネル形MOSトランジスタ（以下、PMOSという）への電源線、B0NとB1Nは各サブデコード素子のnチャネル形MOSトランジスタ（以下、NMOSという）への電源線である。このサブデコード素子のゲート信号、およびPMOSの電源信号とNMOSの電源信号は、階層化されたゲートデコード12およびブロックデコード10によって各々独立に制御することができる。

【0007】このような構成を有する従来技術のフラッシュメモリにおいて、メモリセルアレイのウェルは全てのメモリセルで共有化されていた。従って消去動作時には、メモリセルの選択ゲートに正の高電圧、ドレインとソースに負電圧を印加し、ウェルには選択メモリセルと非選択メモリセルとに拘らず、全てのメモリセルのウェルに負電圧が印加されていた。

【0008】

【発明が解決しようとする課題】しかしながら、前述した従来技術の不揮発性記憶装置によれば、メモリセルアレイのウェルは全てのメモリセルで共有化されているため、消去動作時には選択メモリセルと非選択メモリセルとに拘らず、全てのメモリセルのウェルに消去用の負電圧が印加される。このため、不揮発性記憶装置の大容量化が進むにつれて次のような問題が生じてくる。

【0009】大容量化に伴い非選択ワード線の数も増えるので、非選択状態の時間が長くなるが、それにも拘らず消去非選択メモリセルのウェルには常に負電圧が印加されている。このため、消去非選択メモリセルは弱い電子注入モード状態の時間が長くなる。このように消去非選択状態の時間が長くなると、消去非選択メモリセルのしきい値が変動して書き込みデータが失われてしまう危険のある状態が高くなる問題、すなわち消去ディスタークの問題が深刻となってきた。

【0010】そこで、本発明の目的は、上述した問題を解決し、大容量化に適した消去ディスタークを緩和できる不揮発性記憶装置を提供することにある。

【0011】

【課題を解決するための手段】本発明に係る不揮発性記憶装置は、上記目的を達成するために、制御ゲートと浮遊ゲートを有する複数のメモリセルと、該メモリセルと接続したワード線と該ワード線を駆動する複数のデコード素子からなるデコード回路とを有する半導体記憶装置において、1本当たりm個のメモリセルと接続された複数のデータ線と交差するワード線n本分のメモリセルアレイを1ブロックとする複数のブロック毎に、電気的に分離されたメモリセルアレイのウェルを設け、該ウェルに選択的に電圧を印加する手段を更に備えたことを特徴とするものである。すなわち、メモリセルアレイのウェルを複数のブロックに分割して、デコードすること（アドレス信号に

対応して選択すること）によって、消去非選択にも拘らずウェルに負電圧が印加されるメモリセル数を低減することで、消去ディスタークを緩和するように構成したものである。

【0012】或いは、本発明に係る不揮発性記憶装置は、制御ゲートと浮遊ゲートを有する複数のメモリセルと、該メモリセルと接続したワード線と該ワード線を駆動する複数のデコード素子からなるデコード回路とを有する半導体記憶装置において、前記複数のメモリセルは、同じデータ線に接続されるm個のメモリセルの各ソースとドレインが埋込み拡散層によって接続されると共に、ソースの拡散層は第1の選択トランジスタを介して共通ソース線に、ドレインの拡散層は第2の選択トランジスタを介してグローバルデータ線にそれぞれ接続され、かつ、前記共通ソース線はワード線n本分のメモリセルアレイを1ブロックとする複数のブロック毎に分割されたメモリセルアレイのウェル単位で分割されると共に、同じ複数のブロック内の、共通ソース線とメモリセルアレイのウェルとが接続されるように構成されてなり、メモリセルの浮遊ゲートへウェルから電子を注入する動作の際に、選択メモリセルにはゲートに正電圧、ウェルとソースに負電圧を印加し、ドレインをフローティングにすると共に、前記選択メモリセルの属さないウェルの非選択メモリセルのウェルとソースに対しては前記選択メモリセルとは異なる電圧を印加する手段を備えたことを特徴とするものである。

【0013】前記不揮発性記憶装置において、選択メモリセルとは異なる電圧を印加する手段は、メモリセルの浮遊ゲートからウェルへ電子を放出する動作の際には、選択メモリセルにはゲートに負電圧、ウェルとソースに正電圧を印加し、ドレインをフローティングにすると共に、前記選択メモリセルの属さないウェルの非選択メモリセルのウェルとソースに対しては前記選択メモリセルとは異なる電圧を印加するように動作すれば好適である。

【0014】また、本発明に係る不揮発性記憶装置は、制御ゲートと浮遊ゲートを有する複数のメモリセルと、該メモリセルと接続したワード線と該ワード線を駆動する複数のデコード素子からなるデコード回路とを有する半導体記憶装置において、1本当たりm個のメモリセルと接続された複数のデータ線と交差するワード線n本分のメモリセルアレイを1ブロックとする複数のブロック毎に、電気的に分離されたメモリセルアレイのウェルを設け、前記ワード線を駆動するデコード回路が、所要のウェルに選択的に電圧を印加する手段と、前記複数のブロックの中から所要のブロックを選択するブロック選択手段と、選択されたブロック内のワード線を選択するゲート選択手段とから構成することができる。

【0015】前記ワード線を駆動するデコード回路の各々のデコード素子がコンプリメンタリ形MOSからなる



インバータから構成されると共に、該インバータの、ゲート信号と高電位側電源信号と低電位側電源信号とをそれぞれ独立に制御する手段、すなわち、図4で言えばゲートデコーダ12とサブデコーダ14からなるゲート信号制御手段と、ブロックデコーダ10からなる高電位側電源信号B0P、B1Pおよび低電位側電源信号B0N、B1Nを制御する手段を更に設ければ好適である。

【0016】また、前記デコーダ素子を共有するように各ワード線に第1のスイッチング手段、すなわち図22で示したように、サブデコーダ14の出力を切り換えるNMOSを各ワード線に設けてもよい。これにより、サブデコーダ14の中のサブデコーダ素子の数及びゲートデコーダ12の出力信号線を半減することができる。

【0017】更に、メモリセルの浮遊ゲートへ電子を注入または放出する動作の際に非選択メモリセルに接続するワード線全てに所定の非選択ワード電圧を印加する第2のスイッチング手段、すなわち図22で示したように、各ワード線に書き込みディスタープ阻止電圧SWD0、SWD1を供給するためのNMOSを設けてもよい。

【0018】また、前記メモリセルアレイがワード線方向にkバイト毎のメモリサブアレイに分割して配置されると共に、kバイト単位での動作を行なうように前記デコーダ素子であるインバータのゲート信号をkバイト毎に独立にデコードする手段、すなわちkバイト毎に独立に制御できるサブデコーダとゲートデコーダを備えれば好適である。

【0019】また、前記ウェルに選択的に電圧を印加する手段を構成するMOSトランジスタのゲートは、図21に示すように、データ線方向へくし型に折返して配置すれば、ワード線方向へのレイアウト面積を低減できるので好適である。

【0020】また、インバータから構成される前記デコーダ素子のゲート信号を制御する手段はゲートデコーダとサブデコーダであり、前記デコーダ素子の電源信号を制御する手段はブロックデコーダであり、メモリセルアレイの前記ウェルを選択して駆動する手段はウェルデコーダであって、図6に示したように、前記ブロックデコーダ10とウェルデコーダ24のアドレス信号は上位のアドレス信号を共有するように構成してもよいし、或いは図7に示すようにブロックデコーダ10とウェルデコーダ24のアドレス信号は各々独立の信号であるように構成してもよい。これにより、上位のアドレス信号を共有した場合にはアドレス発生回路を低減できるし、各々独立にした場合にはアドレス発生回路からデコーダまでの配線距離を低減することができる。

【0021】また、インバータから構成される前記デコーダ素子すなわちサブデコーダ素子を、図12に示すようにkバイト毎に分割された全てのメモリサブアレイの両側に配置してもよいし、或いは前記第1および第2の

スイッチ手段を設けた場合には図29に示すようにkバイト毎に分割されたいずれか1つのメモリサブアレイの両側に配置すると共にその他のメモリサブアレイと共有するように配置してもよい。

【0022】また、前記インバータのnチャネル形MOSトランジスタは、低電位側電源信号側の拡散層を共通にしてゲートがワード線と直交するようにレイアウトすれば好適であり、前記インバータのpチャネル形MOSトランジスタは、高電位側電源信号側の拡散層を共通にしてゲートがワード線と直交するようにレイアウトすれば好適である。

【0023】また、前記第1のスイッチング手段は、各ワード線につきnチャネル形MOSトランジスタ1個で構成され、ワード線を駆動する共通のデコーダ素子に接続される複数の第1のスイッチ手段のnチャネル形MOSトランジスタの、デコーダ素子と接続する側の拡散層を共通にしてゲートがワード線と直交するようにレイアウトすれば好適であり、前記第2のスイッチング手段は、各ワード線につきnチャネル形MOSトランジスタ1個で構成され、複数の第2のスイッチ手段のnチャネル形MOSトランジスタの書き込み非選択ワード電圧が直接印加される側の拡散層を共通にしてゲートがワード線と直交するようにレイアウトすれば好適である。

【0024】更に、デコーダ素子を構成する負電圧動作のnチャネル形MOSトランジスタの隣にVCC電源を持つpチャネル形MOSトランジスタを配置し、負電圧動作のnチャネル形MOSトランジスタのn-ウェルに給電するVCC電源と、pチャネル形MOSトランジスタのVCC電源とを共有することによってレイアウト面積を縮小すれば好適である。

【0025】

【発明の実施の形態】本発明に係る不揮発性記憶装置の好適な実施形態は、図1に示すようなメモリセルアレイのウェルを分割した構成である。図1において、参照符号20は不揮発性記憶装置内のメモリセルアレイ部を示し、このメモリセルアレイ20のウェル22はワード線WL1~WLxの配列方向にk個に分割されている。消去動作時に、各ウェル22は新たに設けたウェルデコーダ24によって選択されたウェルだけに負電圧が印加される。これにより、メモリセルアレイ20のウェルを分割していなかった従来例に比べて、消去非選択にも拘らずウェル22に負電圧が印加されるメモリセルの数を従来の1/k個に低減することができるので、消去ディスタープ時間を1/kに緩和することができる。また、メモリセルアレイ20のウェルを分割するのに有する領域（ウェル間の分離に要する距離）は約15μm程度である。従って、メモリセルアレイ部20のウェルをk個に分割することによって増大するメモリアレイの寸法は、15μm×k個となる。尚、DL0~DLyはデータ線、WD0~WDkはウェルデコーダ24の出力であ

る。

#### 【0026】

【実施例】次に、本発明に係る不揮発性記憶装置の更に具体的な実施例につき、添付図面を参照しながら以下詳細に説明する。

【0027】＜実施例1＞図4は、本発明に係る不揮発性記憶装置の第1の実施例を示すブロック図である。尚、図4において図2に示した従来例と同一の構成部分については、同一の参照符号を付して説明する。本実施例においても、従来例と同様に、複数のサブアレイの各データ線上にはそれぞれm個のメモリセルを有するが、ここでは説明を簡単にするために、1データ線上に各々4個のメモリセルを有するサブアレイ26を示してある。また、本実施例のメモリセルアレイも従来例と同様に多数のブロックに分割されているが、2個のブロック0とブロック1だけを示している。尚、図12を用いてレイアウトについて後述するように、本実施例のウェルは従来例と異なり、消去ディスタブ緩和のために1Kワード毎にウェルを分離している。そのため、新たにウェルデコーダ24が設けられている。

【0028】図4において、それぞれC00～C03、C04～C07、C10～C13、C14～C17はメモリセル、W00～W17はワード線、S00～S11はメモリセルのソース線、D00～D11はメモリセルのドレイン線、DL0、DL1はグローバルデータ線、ST00S～ST11Sはソース側ブロック選択MOSトランジスタ、ST00D～ST11Dはドレイン側ブロック選択MOSトランジスタ、S0S、S1Sはソース側ブロック選択MOSトランジスタのゲート信号線、S0D、S1Dはドレイン側ブロック選択MOSトランジスタのゲート信号線、B0P、B1Pはサブデコーダ素子を構成するPMOSトランジスタの電源線、B0N、B1Nはサブデコーダ素子を構成するNMOSトランジスタの電源線、G00～G07はサブデコーダ素子のゲート信号線、WD0はウェルデコーダの出力信号である。

【0029】第1の実施例におけるワードデコーダは、消去ディスタブの緩和および高速動作を実現するために、ウェルデコーダ24とブロックデコーダ10とゲートデコーダ12およびサブデコーダ14とに階層化されている。ウェルデコーダ24は、ある複数ブロック内に存在するメモリセルアレイのウェルを選択するためのデコーダである。ブロックデコーダ10は、その複数ブロックの中の任意のブロックを選択するためのデコーダである。ゲートデコーダ12およびサブデコーダ14は、選択されたブロック内の特定のワード線を選択するためのデコーダである。

【0030】ここで、図5を用いてワードデコーダの階層化構造を説明する。図5はメモリセルアレイ20内に仮に2個のウェル22に分離し、ウェルデコーダ24

と、ブロックデコーダ10と、ゲートデコーダ12と、4個のサブデコーダ14とからなる階層化構造を説明するためのブロック図であり、実際には多数の、ウェル、ブロックデコーダ、ゲートデコーダ、サブデコーダ、及びウェルデコーダがある。上記したようにウェルデコーダ24は、ある複数ブロック内に存在するメモリセルアレイのウェルを選択するためのデコーダであり、ブロックデコーダはその中の任意のブロックを選択するためのデコーダであるから、ウェルデコーダ24のアドレスは、ブロックデコーダ10のアドレスより上位アドレスとなる。このウェルデコーダ24とブロックデコーダ10のアドレス選択の回路構成として、以下の2通りがある。

【0031】図6に、ウェルデコーダ24とブロックデコーダ10の第1のアドレス選択回路の構成を示す。図6において、アドレス発生回路30～34は論理回路などの図示しないいわゆる間接周辺回路部にあり、ここではアドレス発生回路32が上位アドレス信号を発生し、これよりも他のアドレス発生回路30、31、33、34は下位のアドレス信号を発生するものとする。この構成は、ウェルデコーダ24とブロックデコーダ10がアドレス発生回路32からの上位アドレス信号を共有することにより、アドレス発生回路の数を減らすことができる。しかし、その反面共有するアドレス信号を1つのアドレス発生回路32からウェルデコーダ24とブロックデコーダ10の両方に配線しなければならない。

【0032】次に、図7にウェルデコーダ24とブロックデコーダ10の第2のアドレス選択の回路構成を示す。図7において、アドレス発生回路32と35は上位アドレス信号を発生し、これよりも他のアドレス発生回路30、31、33、34は下位のアドレス信号を発生するものとする。この構成は、ウェルデコーダ24とブロックデコーダ10のアドレス信号を独立に発生するため、アドレス発生回路からデコーダまでの配線距離を低減できる。しかし、その反面アドレス発生回路の数が増大する。従って、図6または図7に示した第1及び第2のアドレス選択の回路構成を、場合に応じて適宜使用すればよい。

【0033】上記したウェルデコーダ24は、消去ディスタブを緩和するために新たに設けられたデコーダである。すなわち、消去動作の際に全メモリセルアレイのウェルに負電圧を印加するのではなく、ウェルデコーダ24によって選択されたある複数ブロック内に存在するメモリセルアレイのウェルにのみ負電圧を印加する。これにより、消去非選択にも拘らずウェルに負電圧が印加されるメモリセル数を低減することができ、消去ディスタブ時間を短縮することが可能となる。

【0034】以下、図4を用いて第1の実施例における(1)書込みおよび書込みベリファイ動作、(2)消去および消去ベリファイ動作、(3)読出し動作を詳細に

説明する。ここで、書込み動作とはしきい値電圧の低い状態にメモリセルを持っていく動作を言い、消去動作とはしきい値電圧の高い状態にメモリセルを持っていく動作を言う。なお、本説明では選択されるメモリセルはC00と仮定する。また、外部電源の電圧VCCは3Vとする。

【0035】(1) 書込みおよび書込みベリファイ動作  
まず、書込み動作を説明する。書込み動作時のメモリセルC00～C07およびC10～C17とブロック選択MOSTランジスタST00S, ST01S, ST10S, ST11S, ST00D, ST01D, ST10D, ST11Dのウェルは全て接地電圧VSS(0V)にする。ブロックデコーダ10により選択されたブロック(以下、選択ブロックという)0内におけるサブデコーダ素子のPMOSの電源線B0Pを4.5V、NMOSの電源線B0Nを-9Vにする。選択されたワード線(以下、選択ワード線という)W00に接続されるサブデコーダ素子のゲート信号線G00は4.5V、その他のゲート信号線G01～G07は-9Vにする。これにより、選択ブロック0においては、選択ワード線W00だけに書込みゲート電圧-9Vが印加され、非選択のワード線(以下、非選択ワード線という)W01～W07にはディスターブ阻止電圧4.5Vが印加される。

【0036】非選択のブロック(以下、非選択ブロックという)1内におけるサブデコーダ素子のPMOSの電源線B1Pと、NMOSの電源線B1Nは接地電圧VSSにする。サブデコーダ素子のゲート信号線G00は4.5V、その他のゲート信号線G01～G07は-9Vであるため、非選択ブロック1内のワード線W10～W17は全て接地電圧VSSとなる。共通ソース線SL0は複数ブロック毎に分割されたメモリアレイのウェルに接続されているため、ウェルと同じ接地電圧VSSとなる。

【0037】この時、ソース側のブロック選択MOSTランジスタST00S, ST01S, ST10S, ST11Sのゲート信号線S0SとS1Sを接地電圧VSSにすることにより、メモリセルのソース線S00, S01, S10, S11はフローティング状態となる。

【0038】グローバルデータ線DL0は4.5V、DL1は接地電圧VSSにし、ドレイン側のブロック選択MOSTランジスタST00D, ST01D, ST10D, ST11Dのゲート信号線S0DとS1Dは、各々7Vと接地電圧VSSにする。その結果、選択ブロック0のメモリセルのドレイン線D00は4.5V、ドレイン線D01は接地電圧VSSとなり、非選択ブロック1のメモリセルのドレイン線D10とD11はフローティング状態となる。以上の動作により、メモリセルC00が選択されて書込みが行なわれる。

【0039】次に、書込みベリファイ動作を説明する。書込みベリファイ動作時のメモリセルC00～C07お

よびC10～C17とブロック選択MOSTランジスタST00S, ST01S, ST10S, ST11S, ST00D, ST01D, ST10D, ST11Dのウェルは、全て接地電圧VSSにする。選択ブロック0内におけるサブデコーダ素子のPMOSの電源線B0Pを接地電圧VSS、NMOSの電源線B0Nを1.5Vにする。選択ワード線W00に接続するサブデコーダ素子のゲート信号線G00は5V、その他のゲート信号線G01～G07は-9Vにする。これにより、選択ブロック0においては、選択ワード線W00だけに書込みベリファイゲート電圧1.5Vが印加され、非選択ワード線W01～W07は接地電圧VSSとなる。

【0040】非選択ブロック1内におけるサブデコーダ素子のPMOSの電源線B1PとNMOSの電源線B1Nは接地電圧VSSにする。サブデコーダ素子のゲート信号線G00は5V、その他のゲート信号線G01～G07は-9Vであるため、非選択ブロック1内のワード線W10～W17は全て接地電圧VSSとなる。共通ソース線SL0は複数ブロック毎に分割されたメモリアレイのウェルに接続されているため、ウェルと同じ接地電圧VSSとなる。

【0041】この時、ソース側のブロック選択MOSTランジスタST00S, ST01S, ST10S, ST11Sのゲート信号線S0SとS1Sを電圧VCCにすることにより、メモリセルのソース線S00, S01, S10, S11は接地電圧VSSとなる。

【0042】グローバルデータ線DL0は1V、DL1は接地電圧VSSにし、ドレイン側のブロック選択MOSTランジスタST00D, ST01D, ST10D, ST11Dのゲート信号線S0Dは電圧VCC、ゲート信号線S1Dは接地電圧VSSにする。その結果、選択ブロック0のメモリセルのドレイン線D00は1V、ドレイン線D01は接地電圧VSSとなり、非選択ブロック1のメモリセルのドレイン線D10とD11はフローティング状態となる。以上の動作により、メモリセルC00が選択されて書込みベリファイが行なわれる。

【0043】(2) 消去および消去ベリファイ動作  
消去動作を説明する。ウェルデコーダ24によって選択された複数のブロック(図4の場合ブロック0とブロック1)内のメモリセルC00～C07およびC10～C17とブロック選択MOSTランジスタST00S, ST01S, ST10S, ST11S, ST00D, ST01D, ST10D, ST11Dのウェル、すなわちウェルデコーダ24の出力信号線WD0に接続されたウェルは-4Vにする。なお、共通ソース線SL0は複数ブロック毎に分割されたメモリアレイのウェルに接続されているので、ウェルと同じ-4Vである。選択ブロック0内におけるサブデコーダ素子のPMOSの電源線B0Pを12V、NMOSの電源線B0Nを接地電圧VSSにする。選択ワード線W00に接続するサブデコー

ダ素子のゲート信号線G00は接地電圧VSS、その他のゲート信号線G01~G07は12Vにする。これにより、選択ブロック0においては、選択ワード線W00だけに消去ゲート電圧12Vが印加され、非選択ワード線W01~W07は接地電圧VSSとなる。

【0044】非選択ブロック1内におけるサブデコーダ素子のPMOSの電源線B1P、NMOSの電源線B1Nは接地電圧VSSにする。サブデコーダ素子のゲート信号線G00は接地電圧VSSであり、その他のゲート信号線G01~G07は12Vであるため、非選択ブロック1内のワード線W10がフローティング状態、その他のワード線W11~W17は全て接地電圧VSSとなる。

【0045】この時、ソース側のブロック選択MOSトランジスタST00S, ST01S, ST10S, ST11Sのゲート信号線S0SとS1Sを接地電圧VSSにすることにより、メモリセルのソース線S00, S01, S10, S11は-4Vとなる。

【0046】グローバルデータ線DL0, DL1は接地電圧VSSにし、ドレイン側のブロック選択MOSトランジスタST00D, ST01D, ST10D, ST11Dのゲート信号線S0DとS1Dは-4Vにする。その結果、選択ブロック0のメモリセルのドレイン線D00とD01、および非選択ブロック1のメモリセルのドレイン線D10とD11は、フローティング状態となる。

【0047】以上の動作により、メモリセルC00と同じワード線W00に接続されたメモリセルが全て選択され、ワード線単位で消去が行なわれる。また、ウェルデコーダ24によって非選択となった複数のブロック内のメモリセルとブロック選択MOSトランジスタのウェル、および共通ソース線は接地電圧VSSにする。このようにすることにより、非選択ブロックにもかかわらずウェルに-4Vが印加されるメモリセルがなくなり、消去ディスターブを緩和することができる。

【0048】図8は消去動作における従来例と本実施例の比較を示す説明図であり、(a)は従来例のウェル配置図、(b)は従来例のメモリセルに対する消去時の電位関係を示す回路図、(c)は本実施例のウェル配置図、(d)は本実施例のメモリセルに対する消去時の電位関係を示す回路図である。従来例はメモリセルアレイのウェルを分離していなかったため、メモリセルアレイとY系直接周辺回路の一部のウェル(斜線部)を共通にし、選択メモリセルC00のワード線W00に12V、ウェルとドレインとソースには-4Vを印加して消去を行っていた。これに対して、本実施例はメモリセルアレイのウェルは複数のワード線毎に分離すると共に、Y系直接周辺回路のウェルとも分離している。そして選択メモリセルC00のワード線W00に12V、ウェルとソースには-4Vを印加し、ドレインはフローティング

状態にして消去を行なう。従来例ではY系直接周辺回路の一部はウェルがメモリセルアレイと一部共通であるため、消去時には負電圧動作部と正電圧動作部がありY系制御回路の構成が複雑になるのに対して、本実施例ではメモリセルアレイとY系直接周辺回路のウェルを分離したため、消去時でもY系直接周辺回路は正電圧動作となりY系の制御回路が簡略化できる利点がある。

【0049】次に、消去ベリファイ動作を説明する。消去ベリファイ動作時のメモリセルC00~C07およびC10~C17と、ブロック選択MOSトランジスタST00S, ST01S, ST10S, ST11S, ST00D, ST01D, ST10D, ST11Dのウェルは全て接地電圧VSSにする。選択ブロック0内におけるサブデコーダ素子のPMOSの電源線B0Pを5V、NMOSの電源線B0Nを接地電圧VSSにする。選択ワード線W00に接続するサブデコーダ素子のゲート信号線G00は接地電圧VSS、その他のゲート信号線G01~G07は12Vにする。これにより、選択ブロック0においては、選択ワード線W00だけに消去ベリファイゲート電圧5Vが印加され、非選択ワード線W01~W07は接地電圧VSSとなる。

【0050】非選択ブロック1内におけるサブデコーダ素子のPMOSの電源線B1P、NMOSの電源線B1Nは接地電圧VSSにする。サブデコーダ素子のゲート信号線G00は接地電圧VSS、その他のゲート信号線G01~G07は12Vであるため、非選択ブロック1内のワード線W10がフローティング状態、その他のワード線W11~W17は全て接地電圧VSSとなる。共通ソース線SL0は複数ブロック毎に分割されたメモリセルアレイのウェルに接続されているため、ウェルと同じ接地電圧VSSとなる。

【0051】この時、ソース側のブロック選択MOSトランジスタST00S, ST01S, ST10S, ST11Sのゲート信号線S0SとS1Sを電圧VCCにすることにより、メモリセルのソース線S00, S01, S10と、S11は接地電圧VSSとなる。

【0052】グローバルデータ線DL0は1V、DL1は接地電圧VSSにし、ドレイン側のブロック選択MOSトランジスタST00D, ST01D, ST10D, ST11Dのゲート信号線S0Dは電圧VCC、ゲート信号線S1Dは接地電圧VSSにする。その結果、選択ブロックのメモリセルのドレイン線D00は1V、ドレイン線D01は接地電圧VSS、非選択ブロック1のメモリセルのドレイン線D10とD11はフローティング状態となる。以上の動作により、メモリセルC00が選択されて消去ベリファイが行なわれる。

【0053】(3) 読出し動作

読出し動作を説明する。読出し動作時のメモリセルC00~C07およびC10~C17と、ブロック選択MOSトランジスタST00S, ST01S, ST10S,

ST11S, ST00D, ST01D, ST10D, ST11Dのウェルは全て接地電圧VSSにする。選択ブロック0内におけるサブデコーダ素子のPMOSの電源線B0Pを電圧VCC、NMOSの電源線B0Nを接地電圧VSSにする。選択ワード線W00に接続するサブデコーダ素子のゲート信号線G00は接地電圧VSS、その他のゲート信号線G01~G07は電圧VCCにする。これにより、選択ブロック0においては、選択ワード線W00だけに読出しゲート電圧3Vすなわち電圧VCCが印加され、非選択ワード線W01~W07は接地電圧VSSとなる。

【0054】非選択ブロック1内におけるサブデコーダ素子のPMOSの電源線B1Pと、NMOSの電源線B1Nは接地電圧VSSにする。サブデコーダ素子のゲート信号線G00は接地電圧VSS、その他のゲート信号線G01~G07は電圧VCCであるため、非選択ブロック1内のワード線W10がフローティング状態、その他のワード線W11~W17は全て接地電圧VSSとなる。共通ソース線SL0は複数ブロック毎に分割されたメモリアレイのウェルに接続されているため、ウェルと同じ接地電圧VSSとなる。

【0055】この時、ソース側のブロック選択MOSトランジスタST00S, ST01S, ST10S, ST11Sのゲート信号線S0SとS1Sを電圧VCCにすることにより、メモリセルのソース線S00, S01, S10, S11は接地電圧VSSとなる。

【0056】グローバルデータ線DL0は1V、DL1は接地電圧VSSにし、ドレイン側のブロック選択MOSトランジスタST00D, ST01D, ST10D, ST11Dのゲート信号線S0Dは電圧VCCに、信号線S1Dは接地電圧VSSにする。その結果、選択ブロック0のメモリセルのドレイン線D00は1V、D01は接地電圧VSS、非選択ブロック1のメモリセルのドレイン線D10とD11はフローティング状態となる。以上の動作により、メモリセルC00が選択されて読出しが行なわれる。

【0057】以下、図9~図11を用いてワードデコーダ回路について説明する。前述したように、本実施例のワードデコーダは、消去ディスタブの緩和および高速動作を実現するために、ウェルデコーダ24とブロックデコーダ10とゲートデコーダ12およびサブデコーダ14とに階層化されている。図9(a)は本実施例で用いるウェルデコーダ24とブロックデコーダ10の要部回路図であり、同図(b)は隣接するブロックデコーダ10同士の出力信号SiSを共有していることを説明するための図、図10は本実施例で用いるゲートデコーダ12の要部回路図、図11は本実施例で用いるサブデコーダ14の要部回路図である。書込み、消去、および読出し等の各動作において、ウェルデコーダ24とブロックデコーダ10とゲートデコーダ12のアドレス入力信

号が、全て接地電圧VSSとなったところのワード線が選択される。

【0058】図9(a)に示すウェルデコーダ24の出力信号WDk(ここで、kは複数に分割されたウェルのうちの選択されているk番目のウェルを表す)は、図11に示すメモリセルのウェルWD0(k=0の場合)に接続される。ブロックデコーダ10の出力信号SiD(ここで、iはブロック番号を表す)は、図11に示すメモリセルのドレイン側選択MOSトランジスタのゲート信号線S0D(ブロック0の場合)、S1D(ブロック1の場合)に接続される。ブロックデコーダ10の出力信号SiSは、図11に示すメモリセルのソース側選択MOSトランジスタのゲート信号線S0S(ブロック0の場合)に接続される。ブロックデコーダ10の出力信号BiPは、図11に示すサブデコーダ14のPMOSの電源線B0P(ブロック0の場合)、B1P(ブロック1の場合)に接続される。ブロックデコーダ10の出力信号BiNは、図11に示すサブデコーダ14のNMOSの電源線B0N(ブロック0の場合)、B1N(ブロック1の場合)に接続される。また、図10に示すゲートデコーダ12の出力信号Gjiは、図11に示すサブデコーダ14のゲート信号線G00~G07(j=0, i=0~7の場合)に接続される。

【0059】以下、各デコーダの(1)書込みおよび書込みベリファイ動作、(2)消去および消去ベリファイ動作、(3)読出し動作について説明する。

(1)各デコーダの書込みおよび書込みベリファイ動作初めに、書込み動作時の各デコーダ回路の動作を説明する。まず、ウェルデコーダについて説明する。図9

(a)に示すウェルデコーダ24において、電源電圧VMMおよび制御信号CMMは接地電圧VSSにする。従って、ウェルデコーダの出力信号WDkは、アドレス入力信号にかかわらず全て接地電圧VSSとなり、全てのメモリアレイのウェルが接地電圧VSSとなる。なお、NiSOは後述する図17に示したn-アイソレーション拡散層に接続される電源電圧線を示し、電圧VCCが印加される。

【0060】次に、ブロックデコーダの出力信号SiDについて説明する。図9(a)に示すブロックデコーダ10において、電源電圧VDPは7V、電源電圧VMMは接地電圧VSSにし、制御信号SSiDは電圧VCCにする。これにより、メモリセルのドレイン側選択MOSトランジスタのゲート信号となる出力信号SiDにはアドレス入力信号が全て接地電圧VSSとなって選択されたところだけに7Vが出力され、非選択のところには接地電圧VSSが出力される。

【0061】次に、ブロックデコーダの出力信号SiSについて説明する。図9(a)に示すブロックデコーダ10において、制御信号SEEBは電圧VCC、制御信号SSiSは接地電圧VSSにする。これにより、メモ

リセルのソース側選択MOSトランジスタのゲート信号となる出力信号 $S_i S$ には、アドレス入力信号にかかわらず全て接地電圧 $V_{SS}$ が出力される。ここで、出力信号 $S_i S$ は2ブロック毎に共有して、配線数を $1/2$ に低減している。すなわち、図9(b)に示すように、信号線 $MBDi$ と $MBDn$ は隣接するブロック同士で交互に配線されている。これにより、2ブロックのうちどちらか一方の出力信号 $S_i S$ が選択されると両方のブロックの出力信号 $S_i S$ が選択される。このため、出力信号 $S_i S$ は、ブロックデコーダ10からソース側選択MOSトランジスタまでの配線を $1/2$ に低減することができる。

【0062】次に、ブロックデコーダの出力信号 $B_i P$ について説明する。図9(a)に示すブロックデコーダ10において、電源電圧 $V_{BP}$ は4.5Vにし、制御信号 $S_{BiP}$ および制御信号 $WVB$ は電圧 $V_{CC}$ にする。これにより、サブデコーダ14のPMOSの電源となる出力信号 $B_i P$ には、アドレス入力信号が全て接地電圧 $V_{SS}$ となって選択されたところだけに4.5Vが出力され、非選択のところには接地電圧 $V_{SS}$ が出力される。

【0063】次に、ブロックデコーダの出力信号 $B_i N$ について説明する。図9(a)に示すブロックデコーダ10において、電源電圧 $V_{BPP}$ は1.5V、電源電圧 $V_{NN}$ は-9V、電源電圧 $V_{FF}$ は-4Vにする。また、制御信号 $WWV$ および制御信号 $WVB$ は電圧 $V_C$ 、制御信号 $WWB$ は接地電圧 $V_{SS}$ にする。これにより、サブデコーダ14のNMOSの電源となる出力信号 $B_i N$ には、アドレス入力信号が全て接地電圧 $V_{SS}$ となって選択されたところだけに-9Vが出力され、非選択のところには接地電圧 $V_{SS}$ が出力される。

【0064】次に、ゲートデコーダの出力信号 $G_j i$ について説明する。図10に示すゲートデコーダ12において、電源電圧 $V_{GP}$ は4.5V、電源電圧 $V_{NN}$ は-9Vにする。また、制御信号 $WWV$ および制御信号 $G_j E$ は電圧 $V_{CC}$ 、制御信号 $WWVB$ は接地電圧 $V_{SS}$ にする。これにより、サブデコーダ14のゲート信号となる出力信号 $G_j i$ には、アドレス入力信号が全て接地電圧 $V_{SS}$ となって選択されたところだけに4.5Vが出力され、非選択のところには-9Vが出力される。以上の回路動作により、書き込み選択メモリセルはゲートが-9V、ウェルが接地電圧 $V_{SS}$ 、ドレインが4.5V、ソースがフローティング状態となり書き込みが行なわれる。

【0065】次に、書き込みベリファイ動作時の各デコーダ回路の動作を説明する。まず、ウェルデコーダについて説明する。図9(a)に示すウェルデコーダ24において、電源電圧 $V_{MM}$ および制御信号 $C_{MM}$ は接地電圧 $V_{SS}$ にする。従って、ウェルデコーダの出力信号 $WDk$ は、アドレス入力信号にかかわらず全て接地電圧 $V_S$

$S$ となり、全てのメモリセルアレイのウェルが接地電圧 $V_{SS}$ となる。

【0066】次に、ブロックデコーダの出力信号 $S_i D$ について説明する。図9(a)に示すブロックデコーダ10において、電源電圧 $V_{DP}$ は電圧 $V_{CC}$ 、電源電圧 $V_{MM}$ は接地電圧 $V_{SS}$ にし、制御信号 $S_{SiD}$ は電圧 $V_{CC}$ にする。これにより、メモリセルのドレイン側選択MOSトランジスタのゲート信号となる出力信号 $S_i D$ にはアドレス入力信号が全て接地電圧 $V_{SS}$ となって選択されたところだけに電圧 $V_{CC}$ が出力され、非選択のところには接地電圧 $V_{SS}$ が出力される。

【0067】次に、ブロックデコーダの出力信号 $S_i S$ について説明する。図9(a)に示すブロックデコーダ10において、制御信号 $S_{EEB}$ および制御信号 $S_{SiS}$ は電圧 $V_{CC}$ にする。これにより、メモリセルのソース側選択MOSトランジスタのゲート信号となる出力信号 $S_i S$ には、アドレス入力信号が全て接地電圧 $V_{SS}$ となって選択されたところだけに電圧 $V_{CC}$ が出力され、非選択のところには接地電圧 $V_{SS}$ が出力される。

【0068】次に、ブロックデコーダの出力信号 $B_i P$ について説明する。図9(a)に示すブロックデコーダ10において、電源電圧 $V_{BP}$ および制御信号 $S_{BiP}$ は電圧 $V_{CC}$ にし、制御信号 $WVB$ は接地電圧 $V_{SS}$ にする。これにより、サブデコーダ14のPMOSの電源となる出力信号 $B_i P$ には、アドレス入力信号にかかわらず接地電圧 $V_{SS}$ が出力される。

【0069】次に、ブロックデコーダの出力信号 $B_i N$ について説明する。図9(a)に示すブロックデコーダ10において、電源電圧 $V_{BPP}$ は1.5V、電源電圧 $V_{NN}$ は-9V、電源電圧 $V_{FF}$ は-4Vにする。また、制御信号 $WWV$ および制御信号 $WWB$ は電圧 $V_C$ 、制御信号 $WVB$ は接地電圧 $V_{SS}$ にする。これにより、サブデコーダ14のNMOSの電源となる出力信号 $B_i N$ には、アドレス入力信号が全て接地電圧 $V_{SS}$ となって選択されたところだけに1.5Vが出力され、非選択のところには接地電圧 $V_{SS}$ が出力される。

【0070】次に、ゲートデコーダの出力信号 $G_j i$ について説明する。図10に示すゲートデコーダ12において、電源電圧 $V_{GP}$ は5V、電源電圧 $V_{NN}$ は-9Vにする。また、制御信号 $WWV$ および制御信号 $G_j E$ は電圧 $V_{CC}$ 、制御信号 $WWVB$ は接地電圧 $V_{SS}$ にする。これにより、サブデコーダ14のゲート信号となる出力信号 $G_j i$ には、アドレス入力信号が全て接地電圧 $V_{SS}$ となって選択されたところだけに5Vが出力され、非選択のところには-9Vが出力される。以上の回路動作により、書き込みベリファイ選択メモリセルはゲートが1.5V、ウェルが接地電圧 $V_{SS}$ 、ドレインが1V、ソースが接地電圧 $V_{SS}$ となり書き込みベリファイが行なわれる。

【0071】(2) 各デコーダの消去および消去ベリフ

### アイ動作

次に、消去動作時の各デコーダ回路の動作を説明する。まず、ウェルデコーダについて説明する。図9(a)に示すウェルデコーダ24において、電源電圧VMMは-4Vにし、制御信号CMMは電圧VCCにする。従って、ウェルデコーダの出力信号WDkは、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに-4Vが出力され、非選択のところには接地電圧VSSが出力される。

【0072】次に、ブロックデコーダの出力信号SiDについて説明する。図9(a)に示すブロックデコーダ10において、電源電圧VDPは電圧VCC、電源電圧VMMは-4Vにし、制御信号SSiDは接地電圧VSSにする。これにより、メモリセルのドレイン側選択MOSトランジスタのゲート信号となる出力信号SiDには、アドレス入力信号にかかわらず全て-4Vが出力される。

【0073】次に、ブロックデコーダの出力信号SiSについて説明する。図9(a)に示すブロックデコーダ10において、制御信号SEEBは接地電圧VSS、制御信号SSiSは電圧VCCにする。これにより、メモリセルのソース側選択MOSトランジスタのゲート信号となる出力信号SiSには、アドレス入力信号にかかわらず全て電圧VCCが出力される。

【0074】次に、ブロックデコーダの出力信号BiPについて説明する。図9(a)に示すブロックデコーダ10において、電源電圧VBPは12Vにし、制御信号SBiPおよび制御信号WVBは電圧VCCにする。これにより、サブデコーダ14のPMOSの電源となる出力信号BiPには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに12Vが出力され、非選択のところには接地電圧VSSが出力される。

【0075】次に、ブロックデコーダの出力信号BiNについて説明する。図9(a)に示すブロックデコーダ10において、電源電圧VBPPは電圧VCCにし、電源電圧VNNおよび電源電圧VFFは接地電圧VSSにする。また、制御信号WWVは接地電圧VSSにし、制御信号WWBおよび制御信号WVBは電圧VCCにする。これにより、サブデコーダ14のNMOSの電源となる出力信号BiNには、アドレス入力信号にかかわらず全て接地電圧VSSが出力される。

【0076】次に、ゲートデコーダの出力信号Gjiについて説明する。図10に示すゲートデコーダ12において、電源電圧VGPは12V、電源電圧VNNは接地電圧VSSにする。また、制御信号WWVは接地電圧VSSにし、制御信号GJEおよび制御信号WWVBは電圧VCCにする。これにより、サブデコーダ14のゲート信号となる出力信号Gjiには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに接地電圧VSSが出力され、非選択のところには12Vが

出力される。以上の回路動作により、消去選択メモリセルはゲートが12V、ウェルが-4V、ドレインがフローティング状態、ソースが-4Vとなり消去が行なわれる。

【0077】次に、消去ベリファイ動作時の各デコーダ回路の動作を説明する。まず、ウェルデコーダについて説明する。図9(a)に示すウェルデコーダ24において、電源電圧VMMおよび制御信号CMMは接地電圧VSSにする。従って、ウェルデコーダの出力信号WDkは、アドレス入力信号にかかわらず全て接地電圧VSSとなる。

【0078】次に、ブロックデコーダの出力信号SiDについて説明する。図9(a)に示すブロックデコーダ10において、電源電圧VDPおよび制御信号SSiDは電圧VCCにし、電源電圧VMMは接地電圧VSSにする。これにより、メモリセルのドレイン側選択MOSトランジスタのゲート信号となる出力信号SiDには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに電圧VCCが出力され、非選択のところには接地電圧VSSが出力される。

【0079】次に、ブロックデコーダの出力信号SiSについて説明する。図9(a)に示すブロックデコーダ10において、制御信号SEEBおよび制御信号SSiSは電圧VCCにする。これにより、メモリセルのソース側選択MOSトランジスタのゲート信号となる出力信号SiSには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに電圧VCCが出力され、非選択のところには接地電圧VSSが出力される。

【0080】次に、ブロックデコーダの出力信号BiPについて説明する。図9(a)に示すブロックデコーダ10において、電源電圧VBPは5Vにし、制御信号SBiPおよび制御信号WVBは電圧VCCにする。これにより、サブデコーダ14のPMOSの電源となる出力信号BiPには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに5Vが出力され、非選択のところには接地電圧VSSが出力される。

【0081】次に、ブロックデコーダの出力信号BiNについて説明する。図9(a)に示すブロックデコーダ10において、電源電圧VBPPは電圧VCC、電源電圧VNNおよび電源電圧VFFは接地電圧VSSにする。また、制御信号WWVは接地電圧VSSにし、制御信号WWBおよび制御信号WVBは電圧VCCにする。これにより、サブデコーダ14のNMOSの電源となる出力信号BiNには、アドレス入力信号にかかわらず全て接地電圧VSSが出力される。

【0082】次に、ゲートデコーダの出力信号Gjiについて説明する。図10に示すゲートデコーダ12において、電源電圧VGPは5V、電源電圧VNNは接地電圧VSSにする。また、制御信号WWVは接地電圧VSSにし、制御信号GJEおよび制御信号WWVBは電圧

VCCにする。これにより、サブデコーダのゲート信号となる出力信号Gjiには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに接地電圧VSSが出力され、非選択のところには5Vが出力される。以上の回路動作により、消去ペリファイ選択メモリセルはゲートが5V、ウェルが接地電圧VSS、ドレインが1V、ソースが接地電圧VSSとなり消去ペリファイが行なわれる。

#### 【0083】(3) 各デコーダの読出し動作

次に、読出し動作時の各デコーダ回路の動作を説明する。まず、ウェルデコーダについて説明する。図9

(a)に示すウェルデコーダ24において、電源電圧VMMおよび制御信号CMMは接地電圧VSSにする。従って、ウェルデコーダの出力信号WDkは、アドレス入力信号にかかわらず全て接地電圧VSSとなる。

【0084】次に、ブロックデコーダの出力信号Sidについて説明する。図9(a)に示すブロックデコーダ10において、電源電圧VDPおよび制御信号SSiDは電圧VCCにし、電源電圧VMMは接地電圧VSSにする。これにより、メモリセルのドレイン側選択MOSトランジスタのゲート信号となる出力信号Sidには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに電圧VCCが出力され、非選択のところには接地電圧VSSが出力される。

【0085】次に、ブロックデコーダの出力信号SiSについて説明する。図9(a)に示すブロックデコーダにおいて、制御信号SEEBおよび制御信号SSiSは電圧VCCにする。これにより、メモリセルのソース側選択MOSトランジスタのゲート信号となる出力信号SiSには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに電圧VCCが出力され、非選択のところには接地電圧VSSが出力される。

【0086】次に、ブロックデコーダの出力信号BiPについて説明する。図9(a)に示すブロックデコーダ10において、電源電圧VBP、制御信号SBiP、および制御信号WVBは電圧VCCにする。これにより、サブデコーダのPMOSの電源となる出力信号BiPには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに電圧VCCが出力され、非選択のところには接地電圧VSSが出力される。

【0087】次に、ブロックデコーダの出力信号Binについて説明する。図9(a)に示すブロックデコーダ10において、電源電圧VBPは電圧VCCにし、電源電圧VNNおよび電源電圧VFFは接地電圧VSSにする。また、制御信号WWVは接地電圧VSS、制御信号WWBおよび制御信号WVBは電圧VCCにする。これにより、サブデコーダのNMOSの電源となる出力信号Binには、アドレス入力信号にかかわらず全て接地電圧VSSが出力される。

【0088】次に、ゲートデコーダの出力信号Gjiに

ついて説明する。図10に示すゲートデコーダ12において、電源電圧VGPは電圧VCC、電源電圧VNNおよび制御信号WWVは接地電圧VSSにする。また、制御信号GJEおよび制御信号WWVBは電圧VCCにする。これにより、サブデコーダのゲート信号となる出力信号Gjiには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに接地電圧VSSが出力され、非選択のところには電圧VCCが出力される。以上の回路動作により、読出し選択メモリセルはゲートが電圧VCC、ウェルが接地電圧VSS、ドレインが1V、ソースが接地電圧VSSとなり、読出しが行なわれる。

【0089】次に、第1の実施例のレイアウトについて説明する。第1の実施例では、データ線の総数は8Kビット、ワード線の総数は16Kワード、消去ディスタブ緩和のためのウェル分離は1Kワード毎、1ブロック内のワード線数は64ワードを想定している。また、配線はメタル3層を使用する。図12は、本実施例のワードデコーダのレイアウト概略図であり、1Kワード分を示している。メモリセルアレイは、512バイト動作を実現するために2つ(512バイト毎)のメモリサブアレイ26、26に分割して配置している。各ワード線毎に1つ設けられるサブデコーダ素子からなるサブデコーダ14は、メモリサブアレイ(512バイト分)26の両側に置き、例えばメモリサブアレイの左に配置したサブデコーダ14は奇数ワード線、メモリサブアレイの右に配置したサブデコーダ14は偶数ワード線を駆動するように配線する。ここで、メモリサブアレイ26の左に配置したサブデコーダ14が偶数ワード線、メモリサブアレイ26の右に配置したサブデコーダ14が奇数ワード線を駆動するように配線してもよい。これにより、サブデコーダ14はワード線2ピッチ分を利用してレイアウトすることができ、ワード線の狭ピッチに対応可能になる。

【0090】サブデコーダ14の電源BiPとBin、および選択MOSトランジスタのゲート信号SidとSiSを発生するブロックデコーダ10は、上記したメモリサブアレイ26とサブデコーダ14の左に配置し、サブデコーダ14の電源線BiPとBinは第2層目の金属でワード線方向に配線し、選択MOSトランジスタのゲート信号線SidとSiSは第3層目の金属でワード線方向に配線する。また、ブロックデコーダ10の電源は、データ線方向に第3層目の金属で配線する。サブデコーダ14のゲート信号Gjiを発生するゲートデコーダ12は、ブロックデコーダ10の左に配置し、サブデコーダ14のゲート信号Gjiは第2層目の金属で配線する。また、ゲートデコーダ12の電源は、データ線方向に第3層目の金属で配線する。消去ディスタブを緩和するために設けたウェルデコーダ24は、上記したメモリサブアレイ26とサブデコーダ14の右に配置し、



その出力は1Kワード分のメモリセルアレイを囲むように第3層目の金属46で配線し、図12に×印(コンタクト孔を表す)で示したようにメモリサブアレイ26の両側からウェルに給電する。なお、上記したブロックデコーダ10およびゲートデコーダ12とウェルデコーダ24の位置関係は、メモリサブアレイ26とサブデコーダ14を挟んで逆に配置してもよい。

【0091】次に、サブデコーダ14、ブロックデコーダ10、ゲートデコーダ12、ウェルデコーダ24のレイアウトについて各部分別に説明する。まず初めに、サブデコーダ14のレイアウトについて説明する。図13は、第1の実施例におけるサブデコーダ素子のレイアウト構成例である。図13において、参照符号40は拡散層、41はゲート、42はワード線、43はコンタクト孔、44は第2層目の金属配線、45はゲート信号線用第1層目の金属配線のそれぞれレイアウトパターンを示す。サブデコーダ素子は各ワード線42毎に1つ設けられ、各サブデコーダ素子を構成するインバータのPMOSとNMOSは、ワード線方向に直列接続するように並べてレイアウトされている。このため、ワード線42以外にインバータの電源となるB0P、B0N、B1P、B1Nの配線、およびPMOSとNMOSのゲート41同士を結ぶ配線44あるいはドレイン同士を結ぶ配線は、ワード線方向に配線されている。上記したインバータのPMOSあるいはNMOSの電源は、ワード線方向に隣接するPMOSあるいはNMOSの拡散層を共有することによってレイアウト面積を小さくする。また、PMOSとNMOSはレイアウトが可能な限りまとめて配置し、PMOSとNMOSのウェル分割領域を低減している。更に、ワード線42と直交するインバータのゲート信号線45は、上記したウェル分割領域を利用してウェル分割領域上に各々16本ずつ配線することによりレイアウト面積の縮小化を図っている。

【0092】次に、本実施例におけるブロックデコーダ10のレイアウトについて説明する。図14は、ブロックデコーダ10の電源配線図である。このブロックデコーダ10を構成するMOSトランジスタの種類は、大別して正電圧動作のNMOS、正電圧動作のPMOS、負電圧動作のNMOSの3種類である。ここで、それぞれのMOSトランジスタの基本的な構造について説明する。図15は正電圧動作のNMOSの(a)平面図および(b)断面図、図16は正電圧動作のPMOSの(a)平面図および(b)断面図、図17は負電圧動作のNMOSの(a)平面図および(b)断面図である。図15に示すように、正電圧動作のNMOSはp基板60に設けたp-ウェル51内に形成され、n+ソース/ドレイン拡散層55の少なくとも一方に正電圧が印加され、p-ウェル給電用のp+拡散層56を介してp-ウェル51へ接地電圧VSSが印加されている。また、図16に示すように、正電圧動作のPMOS

Sはp基板60に設けたn-ウェル53内に形成され、p+ソース/ドレイン拡散層56の少なくとも一方に正電圧が印加され、n-ウェル給電用のn+拡散層55を介してn-ウェル53へ正電圧が印加されている。また、図17に示すように、負電圧動作のNMOSはp基板60に設けたn-アイソレーション57中の深いp-ウェル58に形成され、n-アイソレーション57と接続するn-ウェル53中に形成されたn+拡散層55を介して電圧VCCがn-アイソレーション57に印加され、p+拡散層56を介して深いp-ウェル58へ負電圧が印加され、n+ソース/ドレイン拡散層55の少なくとも一方に負電圧が印加されている。

【0093】従って、図14に示すように、電源電圧VFFの負電源を用いる負電圧動作のNMOS領域50の隣には、電圧VCC系のPMOS領域52を配置して電源配線を共有することによって、レイアウト面積の縮小化を図ることができる。また、アドレスおよび制御信号線54は、図面上で左端に配置したNMOS領域50とPMOS領域52間のウェル分離領域を利用して配線し、レイアウト面積の縮小化を図る。更に、図面上で右端には電源電圧VNNの負電圧を用いるNMOS領域50を配置し、隣接するサブデコーダの電源電圧VNNの負電圧と共有してレイアウト面積の縮小化を図る。

【0094】ところで、上記した正電圧動作のNMOSと正電圧動作のPMOSは、更に標準MOSと高耐圧MOSトランジスタとがある。回路動作上、電圧VCCより高い高電圧あるいは接地電圧VSSより低い負電圧を印加する場合には、ドレイン側あるいはソース側に耐圧を持たせた高耐圧MOSトランジスタが必要となる。以下、NMOSを例にとり高耐圧MOSトランジスタの構造について説明する。なお、回路図における高耐圧MOSトランジスタは、高耐圧が必要となるドレインあるいはソース側に(Δ)のマークを付けて表わす。図18は、ドレインオフセット型高耐圧NMOSの(a)平面図、(b)断面図および(c)回路記号である。ドレインオフセット型高耐圧NMOSは、ドレイン側n+拡散層55をゲート41からある程度距離を置いて形成したオフセット領域にn型の不純物イオンを打ち込み、n+領域59を形成することによって高耐圧が実現できる。図19は、ドレインインブラ型高耐圧NMOSの(a)平面図、(b)断面図および(c)回路記号である。ドレインインブラ型高耐圧NMOSは、ドレイン側にn型不純物イオンを打ち込むことによって、n+拡散層55に接するゲート直下のドレイン側にn+領域59を形成して高耐圧が実現できる。高耐圧MOSとしては、ドレインオフセット型高耐圧NMOS或いはドレインインブラ型高耐圧NMOSのどちらを用いてもよい。ドレインオフセット型高耐圧NMOSの長所は、n-イオン打ち込み用のマスクが必要とならない点である。一方、ドレインインブラ型高耐圧NMOSの長所は、ドレ

インオフセット型高耐圧NMOSに比べてレイアウト面積を低減できる点である。なお、高耐圧PMOSについては、図18、19における全ての導電型を逆にすればよい。

【0095】次に、本実施例におけるゲートデコーダ12のレイアウトについて説明する。図20は、ゲートデコーダ12の電源配線図である。ゲートデコーダもブロックデコーダ10と同様に、負電圧動作のNMOS領域（図20では電源電圧VNNの負電圧を用いるNMOS領域）50の隣には、電圧VCC系のPMOS領域52を配置して電源線を共有し、レイアウト面積の縮小化を図る。また、アドレスおよび制御信号線54は、図面上で左端に配置したNMOS領域50とPMOS領域52間のウェル分離領域を利用して配線し、レイアウト面積の縮小化を図る。図面上で右端の接地電圧VSSの配線は隣接するブロックデコーダの接地電圧VSSの配線と共有してレイアウト面積の縮小化を図る。更に、回路動作上電圧VCCより高い高電圧、あるいはVSSより低い負電圧を印加する場合には、ドレイン側あるいはソース側に耐圧を持たせた高耐圧MOSを用いる。

【0096】次に、本実施例におけるウェルデコーダ24のレイアウトについて説明する。図21は、ウェルデコーダ24の電源配線図である。ウェルデコーダもゲートデコーダ12およびブロックデコーダ10と同様に、負電圧動作のNMOS領域（図21では電源電圧VMの負電圧を用いるNMOS領域）50の隣には、電圧VCC系のPMOS領域52を配置して電源線を共有し、レイアウト面積の縮小化を図る。また、アドレスおよび制御信号線54は、図面上右端に配置したNMOS領域50とPMOS領域52間のウェル分離領域を利用して配線し、レイアウト面積の縮小化を図る。図面上左端の電圧VCCの配線、これは図17で示したn-アイソレーションへの給電用電源線であるが、この配線は隣接するサブデコーダの電圧VCCの配線と共有してレイアウト面積の縮小化を図る。前述したように、本実施例では消去ディスタート緩和のためのウェル分離は、1Kワード毎に行っているため、ウェルデコーダ24は1Kワード毎に1つ設ければよい。従って、ウェルデコーダ24はデータ線方向に長くし、ワード線方向へはできるだけ大きくならないようにレイアウトする。このため、ウェルデコーダ内のMOSトランジスタのゲート41は、図21に示すようにデータ線方向へくし型に折り返して構成する。更に、回路動作上電圧VCCより高い高電圧、あるいは接地電圧VSSより低い負電圧を印加する場合には、ドレイン側あるいはソース側に耐圧を持たせた高耐圧MOSトランジスタを用いる。なお、上記した本実施例におけるレイアウト構成および使用するMOSトランジスタは、後述する第2の実施例から第5の実施例までの全てに適用できる。

【0097】＜実施例2＞図22は、本発明に係る不揮

発性記憶装置の第2の実施例を示すブロック図である。尚、図22において図4に示した第1の実施例と同一の構成部分については、説明の便宜上、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例ではサブデコーダ14とメモリサブアレイ26との間にワード線を切り換えるNMOSで構成したスイッチを設けている点が第1の実施例と相違する。これにより、サブデコーダ14を構成する1個のサブデコーダ素子を例えば2本のワード線で共有することができ、ワード線2本分のピッチでサブデコーダ素子をレイアウトすることが可能になる。また、このNMOSで構成したスイッチをサブデコーダ14とメモリサブアレイ26との間に、更にもう1つ設けることにより、非選択ワード線全てに書き込みディスタート阻止電圧を印加することができる。

【0098】図22において、1ブロック内のメモリサブアレイ26には1データ線上にm個のメモリセルが存在するが、ここでは説明を簡単にするために第1の実施例と同様に、1データ線上に各々4個のメモリセルを有するサブアレイを示してある。NMOSで構成したスイッチは、選択ワード線切り換え用のスイッチと、書き込みディスタート阻止電圧切り換えスイッチとからなる。これらの新たにNMOS構成のスイッチを設けたことにより、スイッチ用として信号線SWG00～SWG07、信号線SWDG00～SWDG07が追加され、ブロックデコーダ10には信号線SWD0、SWD1が追加されている。また、ゲートデコーダ12のゲート信号線が半減してG00～G03の4本となり、サブデコーダ14を構成するサブデコーダ素子も半減している。ここで、信号線SWG00～SWG07は選択ワード線切り換えMOSのゲート信号線であり、信号線SWDG00～SWDG07は書き込みディスタート阻止電圧切り換えMOSのゲート信号線であり、信号線SWD0とSWD1は書き込みディスタート阻止電圧供給線である。

【0099】以下、図22を用いて第2の実施例における（1）書き込みおよび書き込みベリファイ動作、（2）消去および消去ベリファイ動作、（3）読出し動作を順次説明する。なお、本説明では選択されるメモリセルはC00と仮定する。また、ここでは図4を用いて説明した第1の実施例の各動作のための設定条件と異なる部分を説明し、第1の実施例と同じ設定条件の部分の説明は省略する。

【0100】（1）書き込みおよび書き込みベリファイ動作  
まず、書き込み動作を説明する。選択ブロック0内においては、サブデコーダ素子のPMOSの電源線B0Pの電圧を4.5Vにし、選択ワード線W00に接続されるサブデコーダ素子のゲート信号線G00の電圧を4.5Vにし、この時、書き込みディスタート阻止電圧供給線SWD0の電圧を4.5V、選択ワード線切り換えMOSのゲート信号線SWG00の電圧を7V、信号線SWG01～SWG07の電圧を-9V、信号線SWDG00の電

圧を $-9\text{V}$ 、信号線SWDG01～SWDG07を $7\text{V}$ にしている点が第1の実施例と異なるだけである。このようにしても、第1の実施例と同様に選択ブロック0においては、選択ワード線W00だけに書込みゲート電圧 $-9\text{V}$ が印加され、非選択ワード線W01～W07には書込みディスタープ阻止電圧 $4.5\text{V}$ が印加される。

【0101】また、非選択ブロック1内においては、サブデコード素子のPMOSの電源線B1PとNMOSの電源線B1Nの他に、更に書込みディスタープ阻止電圧供給線SWD1を接地電圧VSSにしている点が第1の実施例と異なるだけである。この場合も、第1の実施例と同様にサブデコード素子のゲート信号G00の電圧は $4.5\text{V}$ 、その他のゲート信号線G01～G03は $-9\text{V}$ であるため、非選択ブロック1内のワード線W10～W17は全て接地電圧VSSとなる。上記のように設定することにより、第1の実施例と同様にメモリセルC00が選択され書込みが行なわれる。

【0102】次に、書込みベリファイ動作を説明する。選択ブロック0における書込みディスタープ阻止電圧供給線SWD0を接地電圧VSSにし、選択ワード線切換えMOSのゲート信号線SWG00を電圧VCC、信号線SWG01～SWG07を $-9\text{V}$ 、信号線SWDG00を $-9\text{V}$ 、信号線SWDG01～SWDG07を電圧VCCにしている点が第1の実施例と異なるだけである。このようにしても、第1の実施例と同様に選択ブロック0においては、選択ワード線W00だけに書込みベリファイゲート電圧 $1.5\text{V}$ が印加され、非選択ワード線W01～W07は接地電圧VSSとなる。

【0103】また、非選択ブロック1内におけるサブデコード素子のPMOSの電源線B1PとNMOSの電源線B1Nは接地電圧VSSにする他に、書込みディスタープ阻止電圧供給線SWD1も接地電圧VSSにしている点が第1の実施例と異なるだけである。このように設定することにより、第1の実施例と同様にメモリセルC00が選択され書込みベリファイが行なわれる。

【0104】(2) 消去および消去ベリファイ動作  
消去動作を説明する。選択ブロック0における書込みディスタープ阻止電圧供給線SWD0を接地電圧VSSにし、選択ワード線切換えMOSのゲート信号線SWG00を $1.5\text{V}$ 、信号線SWG01～SWG07を接地電圧VSS、信号線SWDG00を接地電圧VSS、信号線SWDG01～SWDG07を電圧VCCにしている点が第1の実施例と異なるだけである。このようにしても、選択ブロック0においては、選択ワード線W00だけに消去ゲート電圧 $1.2\text{V}$ が印加され、非選択ワード線W01～W07は接地電圧VSSとなる。

【0105】また、非選択ブロック1内におけるサブデコード素子のPMOSの電源線B1PとNMOSの電源線B1Nを接地電圧VSSにし、更に書込みディスタープ阻止電圧供給線SWD1を接地電圧VSSにしている

点が第1の実施例と異なる。

【0106】このように設定することにより、第1の実施例と同様にメモリセルC00と同じワード線に接続されたメモリセルが全て選択され、ワード線単位で消去が行なわれる。また、ウェルデコード24によって非選択となった複数のブロック内のメモリセルとブロック選択MOSTランジスタのウェルは接地電圧VSSにする。従って、第1の実施例と同様に非選択ブロックにもかかわらずウェルに $-4\text{V}$ が印加されるメモリセルがなくなり、消去ディスタープを緩和することができる。

【0107】次に、消去ベリファイ動作を説明する。選択ブロック0内における書込みディスタープ阻止電圧供給線SWD0を接地電圧VSSにし、選択ワード線切換えMOSのゲート信号線SWG00を $7\text{V}$ 、信号線SWG01～SWG07を接地電圧VSS、信号線SWDG00を接地電圧VSS、信号線SWDG01～SWDG07を電圧VCCにしている点が第1の実施例と異なるだけである。このようにしても、第1の実施例と同様に選択ブロック0においては、選択ワード線W00だけに消去ベリファイゲート電圧 $5\text{V}$ が印加され、非選択ワード線W01～W07は接地電圧VSSとなる。

【0108】非選択ブロック1内におけるサブデコード素子のPMOSの電源線B1Pと、NMOSの電源線B1Nを接地電圧VSSにすると共に、書込みディスタープ阻止電圧供給線SWD1を接地電圧VSSにしている点が第1の実施例と異なるだけである。このように設定することにより、第1の実施例と同様にメモリセルC00が選択され消去ベリファイが行なわれる。

【0109】(3) 読出し動作

読出し動作を説明する。選択ブロック0では書込みディスタープ阻止電圧供給線SWD0を接地電圧VSSにし、選択ワード線切換えMOSのゲート信号線SWG00を $5\text{V}$ 、信号線SWG01～SWG07を接地電圧VSS、信号線SWDG00を接地電圧VSS、信号線SWDG01～SWDG07を電圧VCCにしている点が第1の実施例と異なるだけである。このようにしても、第1の実施例と同様に選択ブロック0においては、選択ワード線W00だけに読出しゲート電圧 $3\text{V}$ すなわち電圧VCCが印加され、非選択ワード線W01～W07は接地電圧VSSとなる。

【0110】また、非選択ブロック1では、サブデコード素子のPMOSの電源線B1PとNMOSの電源線B1Nを接地電圧VSSにし、更に書込みディスタープ阻止電圧供給線SWD1を接地電圧VSSにしている点が第1の実施例と異なるだけである。このように設定することにより、第1の実施例と同様にメモリセルC00が選択され読出しが行なわれる。

【0111】以下、図23～図25を用いて、第2の実施例のワードデコード回路について説明する。図23

(a) は本実施例のウェルデコード24とブロックデコ

ード10の要部回路図であり、同図(b)は隣接するブロックデコーダ10同士が出力信号SiSを共有していることを説明するための図、図24は本実施例で用いるゲートデコーダ12の要部回路図、図25は本実施例で用いるサブデコーダ14の要部回路図である。書き込み、消去、および読出し等の各動作において、ウェルデコーダ24とブロックデコーダ10とゲートデコーダ12のアドレス入力信号が、全て接地電圧VSSとなったところのワード線が選択される。

【0112】図23(a)に示すウェルデコーダ24の出力信号WDkは、図25に示すメモリセルのウェルWD0(k=0)に接続される。ブロックデコーダ10の出力信号SiDは、図25に示すメモリセルのドレイン側選択MOSトランジスタのゲート信号線S0D(ブロック0の場合)、S1D(ブロック1の場合)に接続される。ブロックデコーダ10の出力信号SiSは、図25に示すメモリセルのソース側選択MOSトランジスタのゲート信号線S0S(ブロック0の場合)に接続される。ブロックデコーダ10の出力信号BiPは、図25に示すサブデコーダ14のPMOSの電源線B0P(ブロック0の場合)、B1P(ブロック1の場合)に接続される。ブロックデコーダ10の出力信号BiNは、図25に示すサブデコーダ14のNMOSの電源線B0N(ブロック0の場合)、B1N(ブロック1の場合)に接続される。また、図23に示すブロックデコーダ10の出力信号SWDiは、図25に示す書き込みディスタブ阻止電圧を供給するためのNMOSのソース線SWD0(ブロック0の場合)、SWD1(ブロック1の場合)に接続され、書き込みディスタブ阻止電圧となる。図24に示すゲートデコーダ12の出力信号Gjiは、図25に示すサブデコーダ14のゲート信号線に接続される。ゲートデコーダ12の出力信号SWGjiは、図25に示す選択ワード線切換えMOSのゲート信号線SWG00~SWG07(j=0, i=7の場合)に接続される。また、ゲートデコーダ12の出力信号SWDGjiは、図25に示す書き込みディスタブ阻止電圧を供給するためのNMOSのゲートに接続される。

【0113】以下、各デコーダの(1)書き込みおよび書き込みベリファイ動作、(2)消去および消去ベリファイ動作、(3)読出し動作について説明する。尚、ここでは図9~図11を用いて説明した第1の実施例の各デコーダの動作のための設定条件と異なる部分を説明し、第1の実施例と同じ設定条件の部分の説明は省略する。

【0114】(1)各デコーダの書き込みおよび書き込みベリファイ動作

初めに、書き込み動作時の各デコーダ回路の動作を説明する。図23(a)に示すウェルデコーダ24の出力信号WDk、ブロックデコーダ10の出力信号SiD、SiSおよびBiP、BiNについては第1の実施例と同じであり、出力信号SiSを2ブロック毎に共有して、配

線数を1/2に低減している点も同じである。すなわち、図23(b)に示すように、信号線MBDiとMBDnは隣接するブロック同士で交互に配線している。

【0115】次に、ブロックデコーダの出力信号SWDiについて説明する。図23(a)に示すブロックデコーダ10において、電源電圧VSWDは4.5Vにし、制御信号WWは電圧VCCにする。これにより、書き込みディスタブ阻止電圧を供給するためのNMOSの電源となる出力信号SWDiには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに4.5Vが出力され、非選択のところには接地電圧VSSが出力される。

【0116】次に、図24に示すゲートデコーダ12において、出力信号Gjiは第1の実施例と同じである。次に、ゲートデコーダの出力信号SWGjiについて説明する。図24に示すゲートデコーダ12において、電源電圧VSWGの電圧を7V、電源電圧VNNを-9Vにし、制御信号GJEを電圧VCCにしている点が第1の実施例と異なる。これにより、選択ワード線切換えMOSのゲート信号となるSWGjiには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに7Vが出力され、非選択のところには-9Vが出力される。

【0117】次に、ゲートデコーダの出力信号SWDGjiについて説明する。図24に示すゲートデコーダ12において、電源電圧VSWDGは7V、電源電圧VNNは-9Vにする。また、制御信号GJEは電圧VCCにする。これにより、書き込みディスタブ阻止電圧を供給するためのNMOSのゲート信号となるSWDGjiには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに-9Vが出力され、非選択のところには7Vが出力される。

【0118】以上の回路動作により、書き込み選択メモリセルはゲートが-9V、ウェルが接地電圧VSS、ドレインが4.5V、ソースがフローティング状態となり書き込みが行なわれる。

【0119】次に、書き込みベリファイ動作時の各デコーダ回路の動作を説明する。図23(a)に示すウェルデコーダ24、ブロックデコーダ10の出力信号SiD、SiS、BiP、BiN、および図24に示すゲートデコーダ12の出力信号Gjiの動作は第1の実施例と同じである。次に、ブロックデコーダの出力信号SWDiについて説明する。図23(a)に示すブロックデコーダ10において、電源電圧VSWDは電圧VCC、制御信号WWは接地電圧VSSにする。これにより、書き込みディスタブ阻止電圧を供給するためのNMOSの電源となる出力信号SWDiには、アドレス入力信号にかかわらず全て接地電圧VSSが出力される。

【0120】次に、ゲートデコーダの出力信号SWGjiについて説明する。図24に示すゲートデコーダ12

において、電源電圧V<sub>SWG</sub>は電圧V<sub>CC</sub>、電源電圧V<sub>NN</sub>は-9Vにし、制御信号G<sub>J E</sub>を電圧V<sub>CC</sub>にする。これにより、選択ワード線切換えMOSのゲート信号線SWG<sub>j i</sub>には、アドレス入力信号が全て接地電圧V<sub>SS</sub>となって選択されたところだけに電圧V<sub>CC</sub>が出力され、非選択のところには-9Vが出力される。

【0121】次に、ゲートデコーダの出力信号SWDG<sub>j i</sub>について説明する。図24に示すゲートデコーダ12において、電源電圧V<sub>SWDG</sub>は電圧V<sub>CC</sub>、電源電圧V<sub>NN</sub>は-9Vにし、制御信号G<sub>J E</sub>は電圧V<sub>CC</sub>にする。これにより、書込みディスタブ阻止電圧を供給するためのNMOSのゲート信号線SWDG<sub>j i</sub>には、アドレス入力信号が全て接地電圧V<sub>SS</sub>となって選択されたところだけに-9Vが出力され、非選択のところには電圧V<sub>CC</sub>が出力される。

【0122】以上の回路動作により、第1の実施例と同様に書込みペリファイ選択メモリセルはゲートが1.5V、ウェルが接地電圧V<sub>SS</sub>、ドレインが1V、ソースが接地電圧V<sub>SS</sub>となり書込みペリファイが行なわれる。

【0123】(2) 各デコーダの消去および消去ペリファイ動作

消去動作時の各デコーダ回路の動作を説明する。まず、図23(a)に示すウェルデコーダ24、ブロックデコーダ10の出力信号SiD, SiS, BiP, BiN、および図24に示すゲートデコーダ12の出力信号G<sub>j i</sub>は第1の実施例と同じである。

【0124】次に、ブロックデコーダの出力信号SWDiについて説明する。図23(a)に示すブロックデコーダ10において、電源電圧V<sub>SWD</sub>は電圧V<sub>CC</sub>、制御信号WWは接地電圧V<sub>SS</sub>にする。これにより、書込みディスタブ阻止電圧を供給するためのNMOSの電源となる出力信号SWDiには、アドレス入力信号にかかわらず全て接地電圧V<sub>SS</sub>が出力される。

【0125】次に、ゲートデコーダの出力信号SWG<sub>j i</sub>について説明する。図24に示すゲートデコーダ12において、電源電圧V<sub>SWG</sub>は15V、電源電圧V<sub>NN</sub>は接地電圧V<sub>SS</sub>にし、制御信号G<sub>J E</sub>は電圧V<sub>CC</sub>にする。これにより、選択ワード線切換えMOSのゲート信号となるSWG<sub>j i</sub>には、アドレス入力信号が全て接地電圧V<sub>SS</sub>となって選択されたところだけに15Vが出力され、非選択のところには接地電圧V<sub>SS</sub>が出力される。

【0126】次に、ゲートデコーダの出力信号SWDG<sub>j i</sub>について説明する。図24に示すゲートデコーダ12において、電源電圧V<sub>SWDG</sub>および制御信号G<sub>J E</sub>は電圧V<sub>CC</sub>にし、電源電圧V<sub>NN</sub>は接地電圧V<sub>SS</sub>にする。これにより、書込みディスタブ阻止電圧を供給するためのNMOSのゲート信号となるSWDG<sub>j i</sub>には、アドレス入力信号が全て接地電圧V<sub>SS</sub>となって選

択されたところだけに接地電圧V<sub>SS</sub>が出力され、非選択のところには電圧V<sub>CC</sub>が出力される。

【0127】以上の回路動作により、第1の実施例と同様に、消去選択メモリセルはゲートが12V、ウェルが-4V、ドレインがフローティング状態、ソースが-4Vとなり消去が行なわれる。

【0128】次に、消去ペリファイ動作時の各デコーダ回路の動作を説明する。図23(a)に示すウェルデコーダ24、ブロックデコーダ10の出力信号SiD, SiS, BiP, BiN、および図24に示すゲートデコーダ12の出力信号G<sub>j i</sub>は第1の実施例と同じである。

【0129】ブロックデコーダの出力信号SWDiについて説明する。図23(a)に示すブロックデコーダ10において、電源電圧V<sub>SWD</sub>は電圧V<sub>CC</sub>、制御信号WWは接地電圧V<sub>SS</sub>にする。これにより、書込みディスタブ阻止電圧を供給するためのNMOSの電源となる出力信号SWDiには、アドレス入力信号にかかわらず全て接地電圧V<sub>SS</sub>が出力される。

【0130】次に、ゲートデコーダの出力信号SWG<sub>j i</sub>について説明する。図24に示すゲートデコーダ12において、電源電圧V<sub>SWG</sub>は7V、電源電圧V<sub>NN</sub>は接地電圧V<sub>SS</sub>にし、制御信号G<sub>J E</sub>は電圧V<sub>CC</sub>にする。これにより、選択ワード線切換えMOSのゲート信号となるSWG<sub>j i</sub>には、アドレス入力信号が全て接地電圧V<sub>SS</sub>となって選択されたところだけに7Vが出力され、非選択のところには接地電圧V<sub>SS</sub>が出力される。

【0131】次に、ゲートデコーダの出力信号SWDG<sub>j i</sub>について説明する。図24に示すゲートデコーダ12において、電源電圧V<sub>SWDG</sub>および制御信号G<sub>J E</sub>は電圧V<sub>CC</sub>、電源電圧V<sub>NN</sub>は接地電圧V<sub>SS</sub>にする。これにより、書込みディスタブ阻止電圧を供給するためのNMOSのゲート信号となるSWDG<sub>j i</sub>には、アドレス入力信号が全て接地電圧V<sub>SS</sub>となって選択されたところだけに接地電圧V<sub>SS</sub>が出力され、非選択のところには電圧V<sub>CC</sub>が出力される。

【0132】以上の回路動作により、第1の実施例と同様に消去ペリファイ選択メモリセルはゲートが5V、ウェルが接地電圧V<sub>SS</sub>、ドレインが1V、ソースが接地電圧V<sub>SS</sub>となり消去ペリファイが行なわれる。

【0133】(3) 各デコーダの読出し動作

次に、読出し動作時の各デコーダ回路の動作を説明する。図23(a)に示すウェルデコーダ24、ブロックデコーダ10の出力信号SiD, SiS, BiP, BiN、および図24に示すゲートデコーダ12の出力信号G<sub>j i</sub>は第1の実施例と同じである。

【0134】ブロックデコーダの出力信号SWDiについて説明する。図23(a)に示すブロックデコーダ10において、電源電圧V<sub>SWD</sub>は電圧V<sub>CC</sub>、制御

信号WWは接地電圧VSSにする。これにより、書き込みディスタブ阻止電圧を供給するためのNMOSの電源となる出力信号SWDiには、アドレス入力信号にかかわらず全て接地電圧VSSが出力される。

【0135】次に、ゲートデコーダの出力信号SWGjiについて説明する。図24に示すゲートデコーダ12において、電源電圧VSWGは5V、電源電圧VNNは接地電圧VSSにし、制御信号GJEはVCCにする。これにより、選択ワード線切換えMOSのゲート信号となるSWGjiには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに5Vが出力され、非選択のところには接地電圧VSSが出力される。

【0136】次に、ゲートデコーダの出力信号SWDGjiについて説明する。図24に示すゲートデコーダ12において、電源電圧VSWDGおよび制御信号GJEは電圧VCC、電源電圧VNNは接地電圧VSSにする。これにより、書き込みディスタブ阻止電圧を供給するためのNMOSのゲート信号線SWDGjiには、アドレス入力信号が全て接地電圧VSSとなって選択されたところだけに接地電圧VSSが出力され、非選択のところには電圧VCCが出力される。

【0137】以上の回路動作により、第1の実施例と同様に読出し選択メモリセルはゲートが電圧VCC、ウェルが接地電圧VSS、ドレインが1V、ソースが接地電圧VSSとなり読出しが行なわれる。

【0138】次に、第2の実施例のレイアウトについて説明する。第2の実施例でも第1の実施例と同様に、データ線の総数は8Kビット、ワード線の総数は16Kワード、消去ディスタブ緩和のためのウェル分離は1Kワード毎、1ブロック内のワード線数は64ワードを想定している。また、配線はメタル3層を使用する。図26は、本実施例のワードデコーダのレイアウト概略図であり、1Kワード分を示している。メモリセルアレイは、512バイト動作を実現するために2つ(512バイト毎)のメモリサブアレイ26、26に分割して配置している。各ワード線毎に1つ設けられるサブデコーダ素子からなるサブデコーダ15は、メモリサブアレイ

(512バイト分)26の両側に置き、例えばメモリサブアレイの左に配置したサブデコーダ15は奇数ワード線、メモリサブアレイの右に配置したサブデコーダ15は偶数ワード線を駆動するように配線する。なお、サブデコーダ15は選択ワード線切換えMOSと書き込みディスタブ阻止電圧切換えMOSを含んでいる。ここで、メモリサブアレイ26の左に配置したサブデコーダ15が偶数ワード線、メモリサブアレイ26の右に配置したサブデコーダ15が奇数ワード線を駆動するように配線してもよい。また、選択ワード線切換えMOSと書き込みディスタブ阻止電圧を供給するためのNMOSは、サブデコーダ15のNMOS領域に配置する。選択ワード線切換えMOSを設けることにより、サブデコーダ15

はワード線4ピッチ分以上の領域を利用してレイアウトすることができ、ワード線の狭ピッチに対応可能になる。

【0139】サブデコーダ15の電源BiPとBiN、および選択MOSトランジスタのゲート信号SiDとSiSを発生するブロックデコーダ10は、上記したメモリサブアレイ26とサブデコーダ15の左に配置し、サブデコーダ15の電源線BiPとBiNは第2層目の金属でワード線方向に配線し、選択MOSトランジスタのゲート信号SiDとSiSは第3層目の金属でワード線方向に配線し、書き込みディスタブ阻止電圧を供給するためのNMOSの電源となる信号線SWDiは第2層目の金属で配線する。また、ブロックデコーダ10の電源は、データ線方向に第3層目の金属で配線する。サブデコーダ15のゲート信号Gjiを発生するゲートデコーダ12は、ブロックデコーダ10の左に配置し、サブデコーダ15のゲート信号Gjiは第2層目の金属で配線する。また、ゲートデコーダ12の電源は、データ線方向に第3層目の金属で配線する。消去ディスタブを緩和するために設けたウェルデコーダ24は、上記したメモリサブアレイ26とサブデコーダ15の右に配置し、その出力は1Kワード分のメモリセルアレイを囲むように第3層目の金属で配線し、図26に×印(コンタクト孔)で示したようにメモリサブアレイ26の両側からウェルに給電する。なお、上記したブロックデコーダ10およびゲートデコーダ12とウェルデコーダ24の位置関係は、メモリサブアレイ26とサブデコーダ15を挟んで逆に配置してもよい。なお、本実施例におけるサブデコーダ15、ブロックデコーダ10、ゲートデコーダ12およびウェルデコーダ24内部のレイアウト概念は、第1の実施例と同様である。

【0140】<実施例3>図27は、本発明に係る不揮発性記憶装置の第3の実施例を示すブロック図である。本実施例は、第2の実施例において書き込みディスタブ阻止電圧を一部印加しない例である。従って、メモリセルの膜厚を厚くしたり膜質を変えて書き込みディスタブを緩和し、書き込みディスタブのマージンが充分にある場合には有効である。すなわち、書き込みディスタブ阻止電圧を全ての非選択ワード線へ印加するために必要となるNMOSを削除し、レイアウト面積を低減することができる実施例である。

【0141】なお、図27において図22に示した第2の実施例と同一の構成部分については、説明の便宜上、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例ではサブデコーダ14とメモリサブアレイ26との間にワード線を切換えるNMOSで構成したスイッチを設けているが、各ワード線に書き込みディスタブ阻止電圧切換えのためのNMOSスイッチを設けていない点が第2の実施例と異なる。

【0142】図27において、1ブロック内のメモリサ

ブアレイ26には1データ線上に各々m個のメモリセルが存在するが、ここでは説明を簡単にするために1データ線上に各々4個のメモリセルを有するメモリサブアレイを示してある。NMOS構成のスイッチのうち、書き込みディスタブ阻止電圧切換えスイッチを省略したことにより、スイッチ用の信号線SWDG00~SWDG07と、ブロックデコード10の信号線SWD0、SWD1がなくなっている点が第2の実施例と異なっている。従って、第1の実施例と比べると、新たに選択ワード線切換え用のスイッチとこれらのゲートを駆動する信号線SWG00からSWG07が追加されているだけである。

【0143】以下、図27を用いて第3の実施例における(1)書き込みおよび書き込みベリファイ動作、(2)消去および消去ベリファイ動作、(3)読出し動作を順次説明する。なお、本説明では選択されるメモリセルはC00と仮定する。また、ここでは図4を用いて説明した第1の実施例の各動作のための設定条件と異なる部分を主として説明し、第1の実施例と同じ設定条件の部分の説明は省略する。

【0144】(1)書き込みおよび書き込みベリファイ動作  
まず、書き込み動作を説明する。選択ブロック0内における選択ワード線切換えMOSのゲート信号線SWG00を7V、信号線SWG01を-9V、信号線SWG02~SWG07を7Vにする点が第1の実施例と異なるだけである。このようにしても、第1の実施例と同様に選択ブロック0においては、選択ワード線W00だけに書き込みゲート電圧-9Vが印加され、非選択ワード線W01はフローティング状態、非選択ワード線W02~W07には書き込みディスタブ阻止電圧4.5Vが印加される。

【0145】また、非選択ブロック1内におけるサブデコード素子のPMOSの電源線B1Pと、NMOSの電源線B1Nは接地電圧VSSにし、サブデコード素子のゲート信号線G00を4.5V、その他のゲート信号線G01、G02、G03は-9Vに設定し、非選択ブロック1内のワード線W10およびW12~W17が接地電圧VSSとなるのは第1の実施例と同様であるが、ワード線W11がフローティング状態となる点が第1の実施例と異なる。その他は第1の実施例と同じであり、以上の動作により、第1の実施例と同様にメモリセルC00が選択されて書き込みが行なわれる。

【0146】次に、書き込みベリファイ動作を説明する。書き込みベリファイ動作時のメモリセルとブロック選択MOSTランジスタのウェルを全て接地電圧VSSにし、選択ブロック0内におけるサブデコード素子のPMOSの電源線B0Pを接地電圧VSS、NMOSの電源線B0Nを1.5Vにし、選択ワード線W00に接続するサブデコード素子のゲート信号線G00を5V、その他のゲート信号線G01~G03を-9Vに設定する点は第

1の実施例と同じである。この時、選択ワード線切換えMOSのゲート信号線SWG00を電圧VCC、信号線SWG01を-9V、信号線SWG02~SWG07を電圧VCCにする点が第1の実施例と異なる。これにより、選択ブロック0においては、選択ワード線W00だけに書き込みベリファイゲート電圧1.5Vが印加され、非選択ワード線W01はフローティング状態、W02~W07は接地電圧VSSとなる。

【0147】非選択ブロック1内におけるサブデコード素子のPMOSの電源線B1PとNMOSの電源線B1Nは接地電圧VSSにし、サブデコード素子のゲート信号G00は5V、その他のゲート信号G01~G03は-9Vであるため、非選択ブロック1内のワード線W10およびW12~W17は接地電圧VSSとなる点は第1の実施例と同じであるが、非選択ブロック1内のワード線W11がフローティング状態となる点が第1の実施例と異なる。その他は第1の実施例と同じであり、以上の動作により、メモリセルC00が選択されて書き込みベリファイが行なわれる。

【0148】(2)消去および消去ベリファイ動作  
消去動作を説明する。ウェルデコード24によって選択された複数のブロック(図27の場合ブロック0とブロック1)内のメモリセルとブロック選択MOSTランジスタのウェルWD0を-4Vにし、選択ブロック0内におけるサブデコード素子のPMOSの電源線B0Pを1.2V、NMOSの電源線B0Nを接地電圧VSSにし、選択ワード線W00に接続するサブデコード素子のゲート信号線G00を接地電圧VSS、その他のゲート信号線G01~G03を1.2Vにする点は第1の実施例と同じである。この時、選択ワード線切換えMOSのゲート信号線SWG00を1.5V、信号線SWG01を接地電圧VSS、信号線SWG02~SWG07を1.5Vにする点が第1の実施例と異なる。これにより、選択ブロック0においては、選択ワード線W00だけに消去ゲート電圧1.2Vが印加され、非選択ワード線W01はフローティング状態、非選択ワード線W02~W07は接地電圧VSSとなる。

【0149】非選択ブロック1内におけるサブデコード素子のPMOSの電源線B1Pと、NMOSの電源線B1N、およびサブデコード素子のゲート信号線G00を接地電圧VSSにし、その他のゲート信号線G01~G03は1.2Vにする結果、非選択ブロック1内のワード線W10がフローティング状態となり、ワード線W12~W17は全て接地電圧VSSとなる点は第1の実施例と同じであるが、非選択ブロック1内のワード線W11もフローティング状態となる点が第1の実施例と異なる。その他は第1の実施例と同様である。

【0150】以上の動作により、メモリセルC00と同じワード線に接続されたメモリセルが全て選択され、ワード線単位で消去が行なわれる。また、ウェルデコード

24によって非選択となった複数のブロック内のメモリセルとブロック選択MOSのウェルは接地電圧VSSにする。このようにすることにより、非選択ブロックにもかかわらずウェルに-4Vが印加されるメモリセルがなくなり、消去ディスターブを緩和することができる。

【0151】次に、消去ベリファイ動作を説明する。消去ベリファイ動作時のメモリセルおよびブロック選択MOSトランジスタのウェルを全て接地電圧VSSにし、選択ブロック0内におけるサブデコーダ素子のPMOSの電源線B0Pを5V、NMOSの電源線B0Nを接地電圧VSSにし、選択ワード線W00に接続するサブデコーダ素子のゲート信号線G00を接地電圧VSS、その他のゲート信号線G01~G03を1.2Vにする点は第1の実施例と同じであるが、この時、選択ワード線切換えMOSのゲート信号線SWG00を7V、信号線SWG01を接地電圧VSS、信号線SWG02~SWG07を7Vにする点が第1の実施例と異なる。これにより、選択ブロック0においては選択ワード線W00だけに消去ベリファイゲート電圧5Vが印加され、非選択ワード線W01はフローティング状態となり、非選択ワード線W02~W07は接地電圧VSSとなる。

【0152】非選択ブロック1内におけるサブデコーダ素子のPMOSの電源線B1Pと、NMOSの電源線B1Nおよびサブデコーダ素子のゲート信号線G00が接地電圧VSS、その他のゲート信号線G01~G03は1.2Vであり、非選択ブロック1内のワード線W10がフローティング状態、その他のワード線W12~W17が接地電圧VSSとなる点は第1の実施例と同じであるが、非選択ブロック1内のワード線W11もフローティング状態となる点が第1の実施例と異なる。その他は第1の実施例と同じである。このように設定することにより、第1の実施例と同様にメモリセルC00が選択されて消去ベリファイが行なわれる。

【0153】(3) 読出し動作

読出し動作を説明する。読出し動作時のメモリセルおよびブロック選択MOSトランジスタのウェルは全てVSSにし、選択ブロック0内におけるサブデコーダ素子のPMOSの電源線B0Pを電圧VCC、NMOSの電源線B0Nを接地電圧VSSにし、選択ワード線W00に接続するサブデコーダ素子のゲート信号線G00を接地電圧VSSにし、その他のゲート信号線G01~G03を電圧VCCにする点は第1の実施例と同じであるが、この時、選択ワード線切換えMOSのゲート信号SWG00を5V、信号線SWG01を接地電圧VSS、信号線SWG02~SWG07を5Vにする点が第1の実施例と異なる。これにより、選択ブロック0においては、選択ワード線W00だけに読出しゲート電圧VCCが印加され、非選択ワード線W01はフローティング状態、非選択ワード線W02~W07は接地電圧VSSとなる。

【0154】非選択ブロック1内におけるサブデコーダ素子のPMOSの電源線B1Pと、NMOSの電源線B1Nおよびサブデコーダ素子のゲート信号線G00が接地電圧VSS、その他のゲート信号線G01~G03は電圧VCCであり、非選択ブロック1内のワード線はW10がフローティング状態、その他のワード線W12~W17が接地電圧VSSとなる点は第1の実施例と同じであるが、非選択ブロック1内のワード線W11もフローティング状態となる点が第1の実施例と異なる。その他は第1の実施例と同じである。このように設定することにより、メモリセルC00が選択されて読出しが行なわれる。

【0155】なお、第3の実施例のレイアウトは、第2の実施例で述べた書き込み阻止電圧を印加するためのNMOSを削除する以外は第2の実施例と同様であるので、説明は省略する。

【0156】<実施例4>図28は、本発明に係る不揮発性記憶装置の第4の実施例を示すブロック図である。尚、図28において、図22に示した第2の実施例と同一の構成部分については、説明の便宜上、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例では512バイトのサブアレイごとに設けていたサブデコーダ14を1箇所のみに行っている点が第2の実施例と相違する。このように構成することにより、第2の実施例に比べてワード線駆動能力が低下するけれども、サブデコーダの数を減らしてレイアウト面積を低減することができる。ゲートデコーダ12の数も低減する。

【0157】以下、図28を用いて第4の実施例における(1)書き込みおよび書き込みベリファイ動作、(2)消去および消去ベリファイ動作、(3)読出し動作を順次説明する。なお、本説明では選択されるメモリセルはC00と仮定する。また、ここでは図4を用いて説明した第1の実施例の各動作のための設定条件と異なる部分を主として説明し、第1の実施例と同じ設定条件の部分の説明は省略する。

【0158】(1)書き込みおよび書き込みベリファイ動作  
まず、書き込み動作を説明する。選択ブロック0内においては、サブデコーダ素子のPMOSの電源線B0Pの電圧を4.5Vにし、NMOSの電源線B0Nを-9V、選択ワード線W00に接続するサブデコーダ素子のゲート信号線G00の電圧を4.5V、ゲート信号線G01は-9V、この時、書き込みディスターブ阻止電圧供給線SWD0を4.5Vにし、選択ワード線切換えMOSのゲート信号線SWG00の電圧を7V、信号線SWG01~SWG07を-9V、信号線SWDG00を-9V、信号線SWDG01~SWDG07を7Vにしている点が第1の実施例と異なるだけである。このようにしても、第1の実施例と同様に選択ブロック0においては、選択ワード線W00だけに書き込みゲート電圧-9Vが印加され、非選択ワード線W01~W07には書き込み



ディスタープ阻止電圧4.5Vが印加される。

【0159】また、非選択ブロック1内においては、サブデコーダ素子のPMOSの電源線B1PとNMOSの電源線B1Nの他に、更に書込みディスタープ阻止電圧供給線SWD1を接地電圧VSSにしている点が第1の実施例と異なるだけである。この場合も、第1の実施例と同様にサブデコーダ素子のゲート信号線G00の電圧は4.5V、ゲート信号線G01は-9Vであるため、非選択ブロック1内のワード線W10~W17は全て接地電圧VSSとなる。上記のように設定することにより、メモリセルC00が選択されて書込みが行なわれる。

【0160】次に、書込みベリファイ動作を説明する。選択ブロック0における書込みディスタープ阻止電圧供給線SWD0を接地電圧VSSにし、選択ワード線切換えMOSのゲート信号線SWG00を電圧VCC、信号線SWG01~SWG07を-9V、信号線SWDG00を-9V、信号線SWDG01~SWDG07を電圧VCCにしている点が第1の実施例と異なるだけである。このようにしても、第1の実施例と同様に選択ブロック0においては、選択ワード線W00だけに書込みベリファイゲート電圧1.5Vが印加され、非選択ワード線W01~W07は接地電圧VSSとなる。

【0161】また、非選択ブロック1内におけるサブデコーダ素子のPMOSの電源線B1PとNMOSの電源線B1Nは接地電圧VSSにする他に、書込みディスタープ阻止電圧供給線SWD1も接地電圧VSSにしている点が第1の実施例と異なるだけである。このように設定することにより、第1の実施例と同様にメモリセルC00が選択されて書込みベリファイが行なわれる。

【0162】(2) 消去および消去ベリファイ動作  
消去動作を説明する。選択ブロック0における書込みディスタープ阻止電圧供給線SWD0を接地電圧VSSにし、選択ワード線切換えMOSのゲート信号線SWG00を1.5V、信号線SWG01~SWG07および信号線SWDG00を接地電圧VSS、信号線SWDG01~SWDG07を電圧VCCにしている点が第1の実施例と異なるだけである。このようにしても、選択ブロック0においては、選択ワード線W00だけに消去ゲート電圧1.2Vが印加され、非選択ワード線W01~W07は接地電圧VSSとなる。

【0163】また、非選択ブロック1内におけるサブデコーダ素子のPMOSの電源線B1PとNMOSの電源線B1Nを接地電圧VSSにし、更に書込みディスタープ阻止電圧供給線SWD1は接地電圧VSSにしている点が第1の実施例と異なる。

【0164】このように設定することにより、第1の実施例と同様にメモリセルC00と同じワード線に接続されたメモリセルが全て選択され、ワード線単位で消去が行なわれる。また、ウェルデコーダ24によって非選択

となった複数のブロック内のメモリセルとブロック選択MOSのウェルは接地電圧VSSにする。従って、第1の実施例と同様に非選択ブロックにもかかわらずウェルに-4Vが印加されるメモリセルがなくなり、消去ディスタープを緩和することができる。

【0165】次に、消去ベリファイ動作を説明する。選択ブロック0内における書込みディスタープ阻止電圧供給線SWD0を接地電圧VSSにし、選択ワード線切換えMOSのゲート信号線SWG00を7V、信号線SWG01~SWG07および信号線SWDG00を接地電圧VSS、信号線SWDG01~SWDG07を電圧VCCにしている点が第1の実施例と異なる。このようにしても、第1の実施例と同様に選択ブロック0においては、選択ワード線W00だけに消去ベリファイゲート電圧5Vが印加され、非選択ワード線W01~W07は接地電圧VSSとなる。

【0166】非選択ブロック1内におけるサブデコーダ素子のPMOSの電源線B1PとNMOSの電源線B1Nを接地電圧VSSにすると共に、書込みディスタープ阻止電圧供給線SWD1を接地電圧VSSにしている点が第1の実施例と異なるだけである。このように設定することにより、第1の実施例と同様にメモリセルC00が選択されて消去ベリファイが行なわれる。

【0167】(3) 読出し動作

読出し動作を説明する。選択ブロック0では、書込みディスタープ阻止電圧供給線SWD0を接地電圧VSSにし、選択ワード線切換えMOSのゲート信号線SWG00を5V、信号線SWG01~SWG07および信号線SWDG00を接地電圧VSS、信号線SWDG01~SWDG07を電圧VCCにしている点が第1の実施例と異なるだけである。このようにしても、第1の実施例と同様に選択ブロック0においては、選択ワード線W00だけに読出しゲート電圧VCCが印加され、非選択ワード線W01~W07は接地電圧VSSとなる。

【0168】また、非選択ブロック1では、サブデコーダ素子のPMOSの電源線B1PとNMOSの電源線B1Nを接地電圧VSSにし、更に書込みディスタープ阻止電圧供給線SWD1を接地電圧VSSにしている点が第1の実施例と異なるだけである。このように設定することにより、第1の実施例と同様にメモリセルC00が選択されて読出しが行なわれる。

【0169】次に、第4の実施例のレイアウトについて説明する。第4の実施例では、データ線の総数は8Kビット、ワード線の総数は16Kワード、消去ディスタープ緩和のためのウェル分離は1Kワード毎、1ブロック内のワード線数は64ワードを想定している。また、配線はメタル3層を使用する。図29は、本実施例のワードデコーダのレイアウト概略図であり、1Kワード分を示している。本実施例では、第2の実施例において512バイト毎に設けてあったサブデコーダ15が図面上の

左側のメモリサブアレイのみに存在し、このサブデコード15の出力が左右のメモリサブアレイ26、26のワード線で共有されている。図面上の右側のメモリサブアレイ26の両側には、選択ワード線切り換えMOSと書き込みディスタブ阻止電圧切り換えMOSの領域17が配置されている。それ以外のレイアウト構成は、第2の実施例と同様である。

【0170】<実施例5>図30は、本発明に係る不揮発性記憶装置の第5の実施例を示すブロック図である。尚、図30において図22に示した第2の実施例と同一の構成部分については、説明の便宜上、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例では512バイトのサブアレイ毎に設けていたサブデコード14を1箇所のみにとすると共に、書き込みディスタブ阻止電圧を一部印加しない点が第2の実施例と相違する。このように構成することにより、第2の実施例に比べてワード線駆動能力を低下するけれども、サブデコードの数を減らしてレイアウト面積を低減することができる。また、本実施例はメモリセルの膜厚を厚くしたり膜質を変えて書き込みディスタブのマージンが充分にある場合に有効であり、書き込みディスタブ阻止電圧を全ての非選択ワード線へ印加するために必要となるNMOSを削除し、レイアウト面積を低減することができる。

【0171】以下、図30を用いて第5の実施例における(1)書き込みおよび書き込みベリファイ動作、(2)消去および消去ベリファイ動作、(3)読出し動作を順次説明する。なお、本説明では選択されるメモリセルはC00と仮定する。また、ここでは図4を用いて説明した第1の実施例の各動作のための設定条件と異なる部分を主として説明し、第1の実施例と同じ設定条件の部分の説明は省略する。

【0172】(1)書き込みおよび書き込みベリファイ動作  
まず、書き込み動作を説明する。選択ブロック0内における選択ワード線切り換えMOSのゲート信号線SWG00を7V、信号線SWG01を-9V、信号線SWG02とSWG03を7V、信号線SWG04とSWG05を-9V、信号線SWG06とSWG07を7Vにする点が第1の実施例と異なるだけである。これにより、選択ブロック0においては、選択ワード線W00だけに書き込みゲート電圧-9Vが印加され、非選択ワード線W01、W04、W05はフローティング状態、非選択ワード線W02、W03、W06、W07には書き込みディスタブ阻止電圧4.5Vが印加される。

【0173】また、非選択ブロック1内におけるサブデコード素子のPMOSの電源線B1PとNMOSの電源線B1Nを接地電圧VSSにし、サブデコード素子のゲート信号線G00を4.5V、ゲート信号G01を-9Vに設定し、非選択ブロック1内のワード線W10、W12、W13、W16、W17が接地電圧VSSとなるのは第1の実施例と同じであるが、ワード線W11、W1

4、W15がフローティング状態となる点が第1の実施例と異なる。その他は第1の実施例と同じであり、以上の動作により、第1の実施例と同様にメモリセルC00が選択されて書き込みが行なわれる。

【0174】次に、書き込みベリファイ動作を説明する。書き込みベリファイ動作時のメモリセルとブロック選択MOSTランジスタのウェルを全て接地電圧VSSにし、選択ブロック0内におけるサブデコード素子のPMOSの電源線B0Pを接地電圧VSS、NMOSの電源線B0Nを1.5Vにし、選択ワード線W00に接続するサブデコード素子のゲート信号G00を5V、ゲート信号G01を-9Vに設定する点は第1の実施例と同じである。この時、選択ワード線切り換えMOSのゲート信号線SWG00、SWG02、SWG03、SWG06、SWG07を電圧VCC、信号線SWG01、SWG04、SWG05を-9Vにする点が第1の実施例と異なる。これにより、選択ブロック0においては、選択ワード線W00だけに書き込みベリファイゲート電圧1.5Vが印加され、非選択ワード線W01、W04、W05はフローティング状態、非選択ワード線W02、W03、W06、W07は接地電圧VSSとなる。

【0175】非選択ブロック1内におけるサブデコード素子のPMOSの電源線B1Pと、NMOSの電源線B1Nは接地電圧VSSにし、サブデコード素子のゲート信号線G00は5V、ゲート信号線G01は-9Vであるため、非選択ブロック1内のワード線W10、W12、W13、W16、W17は接地電圧VSSとなる点は第1の実施例と同じであるが、非選択ブロック1内のワード線W11、W14、W15がフローティング状態となる点が第1の実施例と異なる。その他は第1の実施例と同じであり、以上の動作により、メモリセルC00が選択されて書き込みベリファイが行なわれる。

【0176】(2)消去および消去ベリファイ動作  
消去動作を説明する。ウェルデコード24によって選択された複数のブロック(図30の場合ブロック0とブロック1)内のメモリセルとブロック選択MOSTランジスタのウェルWD0を-4Vにし、選択ブロック0内におけるサブデコード素子のPMOSの電源線B0Pを1.2V、NMOSの電源線B0Nを接地電圧VSSにし、選択ワード線W00に接続するサブデコード素子のゲート信号線G00を接地電圧VSS、ゲート信号線G01を1.2Vにする点は第1の実施例と同じである。この時、選択ワード線切り換えMOSのゲート信号線SWG00を1.5V、信号線SWG01を接地電圧VSS、信号線SWG02、SWG03、SWG06、SWG07を1.5V、信号線SWG04とSWG05を接地電圧VSSにする点が第1の実施例と異なる。これにより、選択ブロック0においては、選択ワード線W00だけに消去ゲート電圧1.2Vが印加され、非選択ワード線W01、W04、W05はフローティング状態、非選択ワード線

W02, W03, W06, W07は接地電圧VSSとなる。

【0177】非選択ブロック1内におけるサブデコーダ素子のPMOSの電源線B1Pと、NMOSの電源線B1Nおよびサブデコーダ素子のゲート信号線G00は接地電圧VSSにし、ゲート信号線G01は12Vにする結果、非選択ブロック1内のワード線W10がフローティング状態となり、非選択ブロック1内のワード線W12, W13, W16, W17は接地電圧VSSとなる点は実施例と同じであるが、更に非選択ブロック1内のワード線W11, W14, W15もフローティング状態となる点が第1の実施例と異なる。その他は第1の実施例と同様である。

【0178】以上の動作により、メモリセルC00と同じワード線に接続されたメモリセルが全て選択され、ワード線単位で消去が行なわれる。また、ウェルデコーダ24によって非選択となった複数のブロック内のメモリセルとブロック選択MOSのウェルは接地電圧VSSにする。このようにすることにより、非選択ブロックにもかかわらずウェルに-4Vが印加されるメモリセルがなくなり、消去ディスタブを緩和することができる。

【0179】次に、消去ベリファイ動作を説明する。消去ベリファイ動作時のメモリセルおよびブロック選択MOSトランジスタのウェルは全て接地電圧VSSにし、選択ブロック0内におけるサブデコーダ素子のPMOSの電源線B0Pを5V、NMOSの電源線B0Nを接地電圧VSSにし、選択ワード線W00に接続するサブデコーダ素子のゲート信号線G00を接地電圧VSS、ゲート信号線G01を12Vにする点は第1の実施例と同じであるが、この時、選択ワード線切換えMOSのゲート信号線SWG00を7V、信号線SWG01を接地電圧VSS、信号線SWG02とSWG03を7V、信号線SWG04とSWG05を接地電圧VSS、信号線SWG06とSWG07を7Vにする点が第1の実施例と異なる。これにより、選択ブロック0においては、選択ワード線W00だけに消去ベリファイゲート電圧5Vが印加され、非選択ワード線W01, W04, W05はフローティング状態、非選択ワード線W02, W03, W06, W07は接地電圧VSSとなる。

【0180】非選択ブロック1内におけるサブデコーダ素子のPMOSの電源線B1Pと、NMOSの電源線B1Nおよびサブデコーダ素子のゲート信号線G00が接地電圧VSS、ゲート信号線G01は12Vであり、非選択ブロック1内のワード線W10がフローティング状態、ワード線W12, W13, W16, W17が接地電圧VSSとなる点は第1の実施例と同じであるが、非選択ブロック1内のワード線W11, W14, W15もフローティング状態となる点が第1の実施例と異なる。その他は第1の実施例と同じである。このように設定することにより、第1の実施例と同様にメモリセルC00が

選択されて消去ベリファイが行なわれる。

#### 【0181】(3) 読出し動作

読出し動作を説明する。読出し動作時のメモリセルおよびブロック選択MOSトランジスタのウェルは全て接地電圧VSSにし、選択ブロック0内におけるサブデコーダ素子のPMOSの電源線B0Pを電圧VCC、NMOSの電源線B0Nを接地電圧VSSにし、選択ワード線W00に接続するサブデコーダ素子のゲート信号線G00を接地電圧VSSにし、ゲート信号線G01を電圧VCCにする点は第1の実施例と同じであるが、この時、選択ワード線切換えMOSのゲート信号線SWG00, SWG02, SWG03, SWG06, SWG07を5V、信号線SWG01, SWG04, SWG05を接地電圧VSSにする点が第1の実施例と異なる。これにより、選択ブロック0においては、選択ワード線W00だけに読出しゲート電圧VCCが印加され、非選択ワード線W01, W04, W05はフローティング状態、非選択ワード線W02, W03, W06, W07は接地電圧VSSとなる。

【0182】非選択ブロック1内におけるサブデコーダ素子のPMOSの電源線B1Pと、NMOSの電源線B1Nおよびサブデコーダ素子のゲート信号線G00が接地電圧VSS、ゲート信号線G01が電圧VCCであり、非選択ブロック1内のワード線W10がフローティング状態、ワード線W12, W13, W16, W17が接地電圧VSSとなる点は第1の実施例と同じであるが、非選択ブロック1内のワード線W11, W14, W15もフローティング状態となる点が第1の実施例と異なる。その他は第1の実施例と同じである。このように設定することにより、第1の実施例と同様にメモリセルC00が選択されて読出しが行なわれる。なお、第5の実施例のレイアウトは、第4の実施例で述べた書込み阻止電圧を印加するためのNMOSを削除する以外は、第4の実施例と同様であるので説明を省略する。

#### 【0183】

【発明の効果】前述した実施形態および実施例から明らかなように、本発明に係る不揮発性記憶装置は、メモリセルアレイのウェルをワード線配列方向にk個に分割し、消去時にはウェルデコーダによって選択された1/kのメモリセルアレイのウェルにのみ負電圧を印加するように構成している。これにより、消去時に非選択にもかかわらずウェルに負電圧が印加されるメモリセルを1/k個に低減でき、消去ディスタブを緩和することができる。

【0184】以上、本発明の好適な実施形態および実施例について説明したが、本発明は前記形態および実施例に限定されることなく、例えば、AND型フラッシュメモリセル構成ばかりでなく、NOR型やNAND型フラッシュメモリセル構成でもウェルに電圧を印加して動作させる場合には適用でき、本発明の精神を逸脱しない範

冊内において種々の設計変更をなし得ることは勿論である。

#### 【図面の簡単な説明】

【図1】本発明に係る不揮発性記憶装置におけるメモリセルアレイのウェル分割を示す概略図である。

【図2】従来の不揮発性記憶装置の構成を示す概略ブロック図である。

【図3】CMOSからなるサブデコーダ素子の構成例を示す回路図である。

【図4】本発明に係る不揮発性記憶装置の第1の実施例を示すブロック図である。

【図5】第1の実施例の不揮発性記憶装置で用いるワードデコーダの階層化構造を示すブロック図である。

【図6】第1の実施例の不揮発性記憶装置で用いるウェルデコーダとブロックデコーダの第1のアドレス選択方法を示す説明図である。

【図7】第1の実施例の不揮発性記憶装置で用いるウェルデコーダとブロックデコーダの第2のアドレス選択方法を示す説明図である。

【図8】不揮発性記憶装置の消去動作における従来例と第1の実施例との比較を示す説明図である。

【図9】第1の実施例の不揮発性記憶装置で用いる  
(a) ウェルデコーダとブロックデコーダの回路図と、  
(b) ブロックデコーダの出力信号S i Sの共有を示すための説明図である。

【図10】第1の実施例の不揮発性記憶装置で用いるゲートデコーダの回路図である。

【図11】第1の実施例の不揮発性記憶装置で用いるサブデコーダの回路図である。

【図12】第1の実施例の不揮発性記憶装置で用いるワードデコーダのレイアウト概略図である。

【図13】第1の実施例の不揮発性記憶装置で用いるサブデコーダ素子のレイアウト構成例を示す概略図である。

【図14】第1の実施例の不揮発性記憶装置で用いるブロックデコーダの概略電源配線図である。

【図15】第1の実施例の不揮発性記憶装置で用いる正電圧動作のNMOSの(a)平面図および(b)断面図である。

【図16】第1の実施例の不揮発性記憶装置で用いる正電圧動作のPMOSの(a)平面図および(b)断面図である。

【図17】第1の実施例の不揮発性記憶装置で用いる負電圧動作のNMOSの(a)平面図および(b)断面図である。

【図18】第1の実施例の不揮発性記憶装置で用いるドレインオフセット型高耐圧NMOSの(a)平面図、  
(b)断面図、および(c)回路記号図である。

【図19】第1の実施例の不揮発性記憶装置で用いるドレインインプラ型高耐圧NMOSの(a)平面図、

(b)断面図、および(c)回路記号図である。

【図20】第1の実施例の不揮発性記憶装置で用いるゲートデコーダの概略電源配線図である。

【図21】第1の実施例の不揮発性記憶装置で用いるウェルデコーダの概略電源配線図である。

【図22】本発明に係る不揮発性記憶装置の第2の実施例を示すブロック図である。

【図23】第2の実施例の不揮発性記憶装置で用いる  
(a) ウェルデコーダとブロックデコーダの回路図と、  
(b) ブロックデコーダの出力信号S i Sの共有を示すための説明図である。

【図24】第2の実施例の不揮発性記憶装置で用いるゲートデコーダの回路図である。

【図25】第2の実施例の不揮発性記憶装置で用いるサブデコーダの回路図である。

【図26】第2の実施例の不揮発性記憶装置で用いるワードデコーダのレイアウト概略図である。

【図27】本発明に係る不揮発性記憶装置の第3の実施例を示すブロック図である。

【図28】本発明に係る不揮発性記憶装置の第4の実施例を示すブロック図である。

【図29】第4の実施例の不揮発性記憶装置で用いるワードデコーダのレイアウト概略図である。

【図30】本発明に係る不揮発性記憶装置の第5の実施例を示すブロック図である。

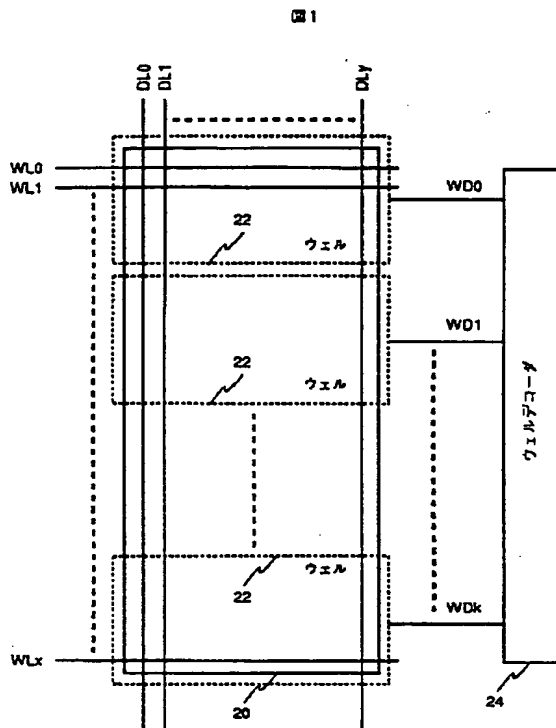
#### 【符号の説明】

10…ブロックデコーダ、12…ゲートデコーダ、14…サブデコーダ、15…サブデコーダ、20…メモリセルアレイ、22…ウェル、24…ウェルデコーダ、26…メモリサブアレイ、30～35…アドレス発生回路、40…拡散層、41…ゲート、42…ワード線、43…コンタクト孔、44…第2層目の金属配線、45…第1層目の金属配線、46…第3層目の金属配線、50…NMOS領域、51…p-ウェル、52…PMOS領域、53…n-ウェル、54…アドレスおよび制御信号線、55…n+ソース/ドレイン拡散層、56…p+拡散層、57…n-アイソレーション、58…深いp-ウェル、60…p基板、C00～C1m…メモリセル、W00～W1m…ワード線、SL0…共通ソース線、DL0～DLy…グローバルデータ線、ST00S～ST11S…ソース側ブロック選択MOSトランジスタ、ST00D～ST11D…ドレイン側ブロック選択MOSトランジスタ、S i S…ソース側ブロック選択MOSのゲート信号線、S i D…ドレイン側ブロック選択MOSのゲート信号線、B i P…サブデコーダ回路PMOSの電源線、B i N…サブデコーダ回路NMOSの電源線、D00～D11…メモリセルのドレイン線、S00～S11…メモリセルのソース線、G j i…サブデコーダ回路のゲート信号線、WDk…ウェルデコーダの出力信号(ウェル)、SWDi…書き込みディスタート阻止電圧供給線、

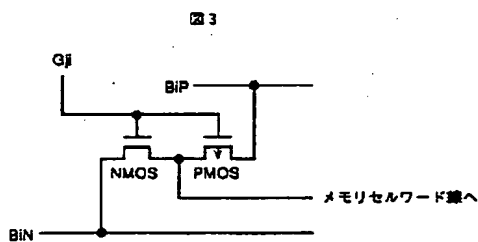
SWDGji…書き込みディスタブ防止電圧切換えMOSのゲート信号線、SWGji…選択ワード線切換えMOSのゲート信号線、VCC…正電源、VSS…接地電圧、VNN…負電源、VMM…負電源、VFF…負電源、VGP…正電源、VDP…正電源、VBP…正電源、VBPP…正電源、VSWD…正電源、VSWDG

…正電源、VSWG…正電源、CMM…制御信号線、SSiD: 制御信号線、SEEB…制御信号線、SSiS…制御信号線、SBiP…制御信号線、WVB…制御信号線、WWB…制御信号線、WWV…制御信号線、WWVB…制御信号線、GJE…制御信号線、CMM…制御信号線。

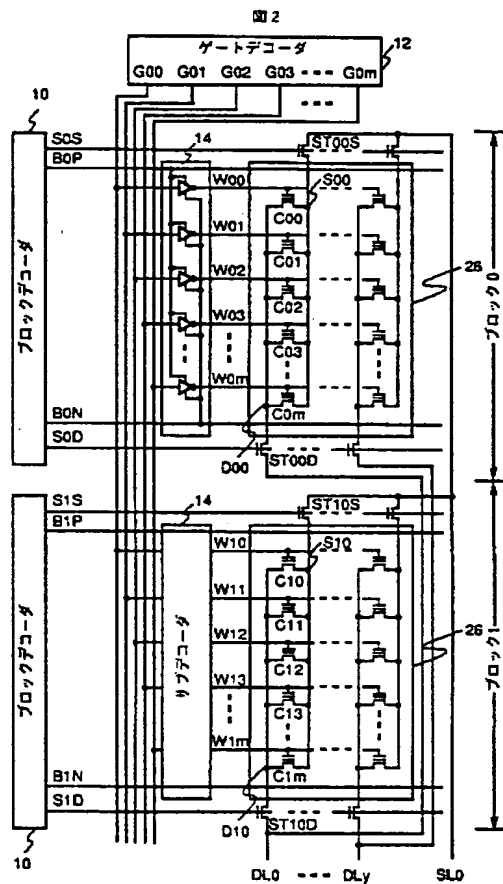
【図1】



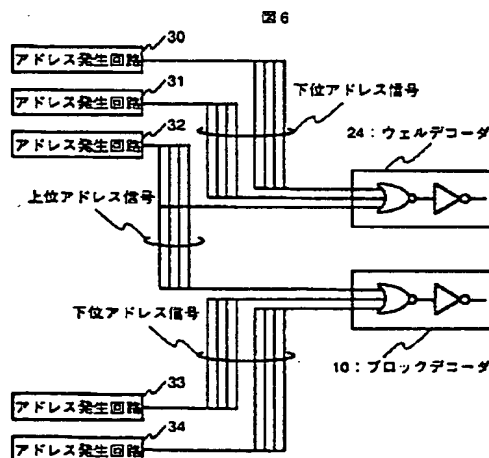
【図3】



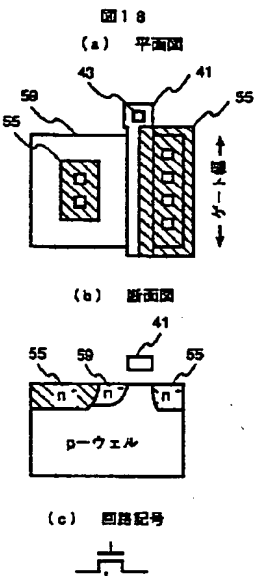
【図2】



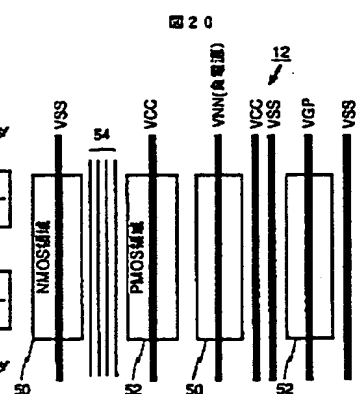
【図6】



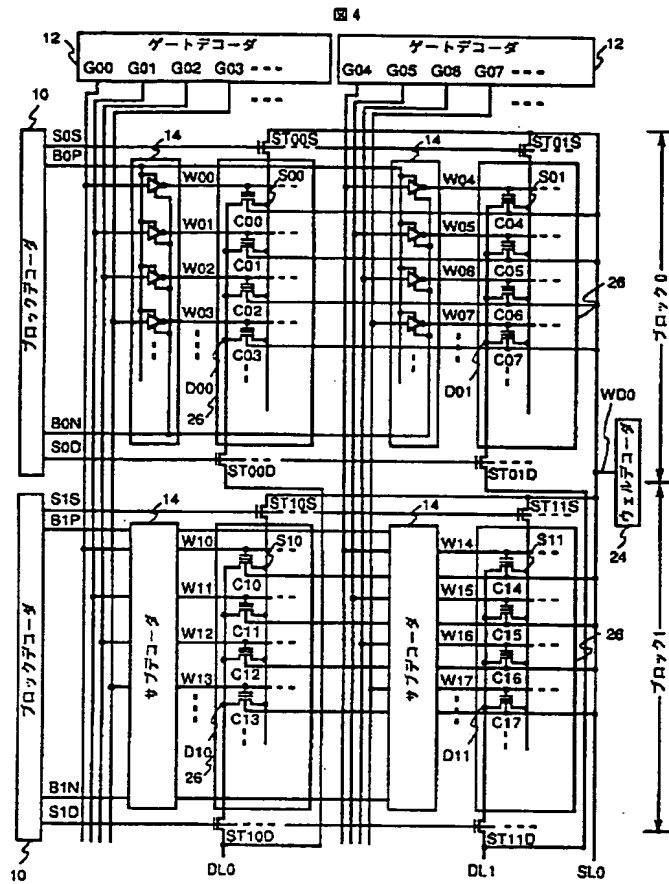
【図18】



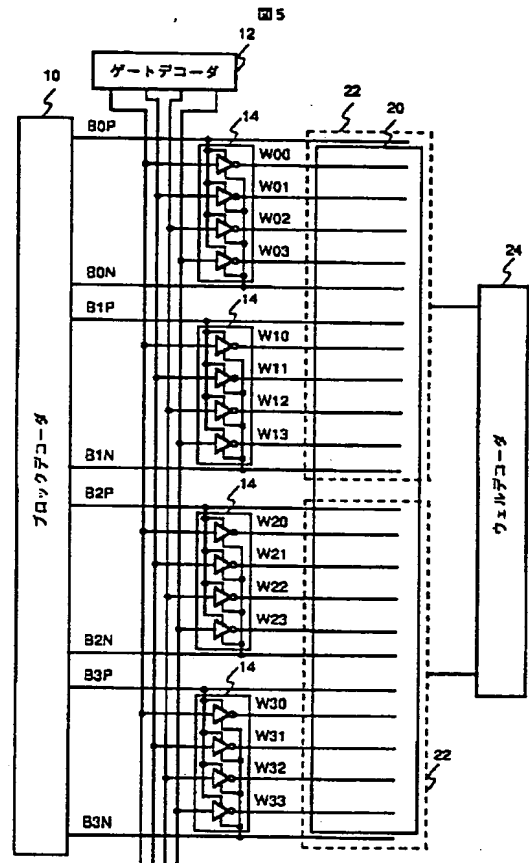
【図20】



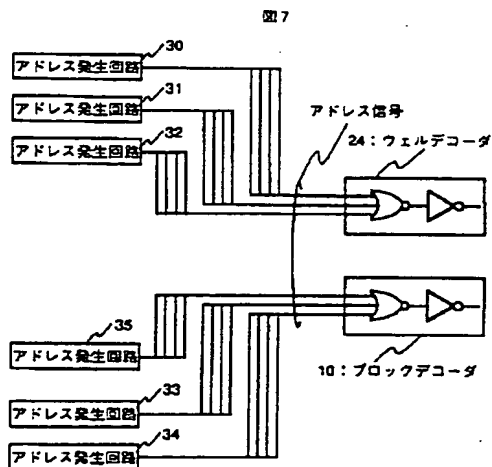
【図4】



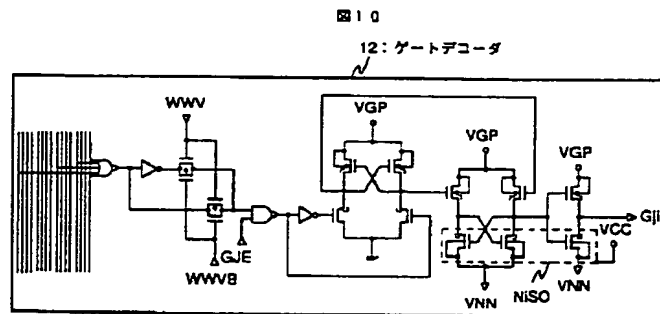
【図5】



【図7】



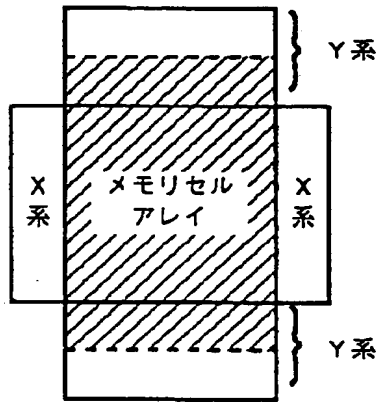
【図10】



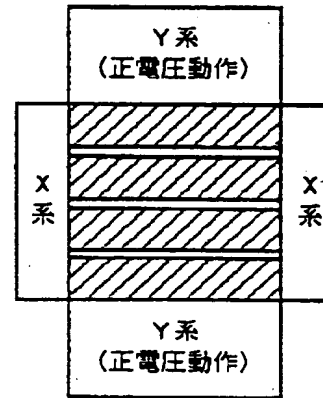
【図8】

図8

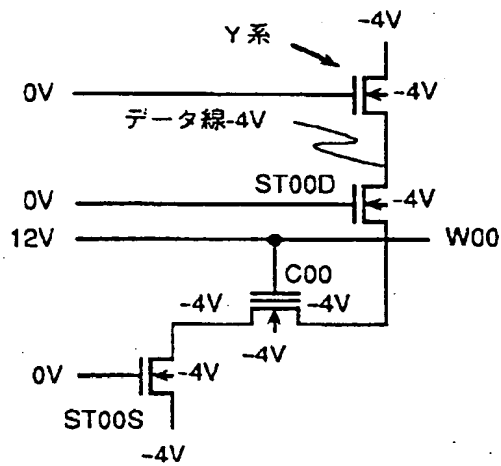
(a) 従来例の概略図



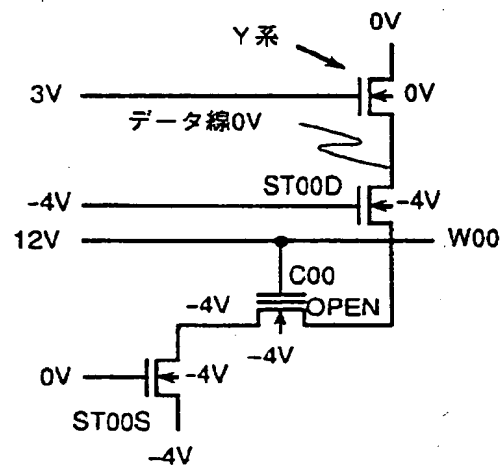
(c) 本実施例の概略図



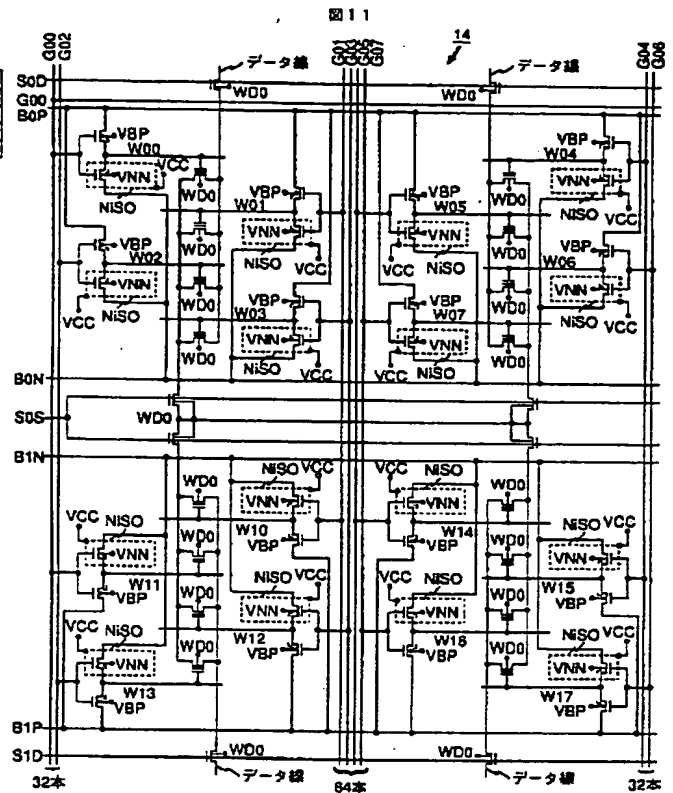
(b) 従来例の消去電圧



(d) 本実施例の消去電圧

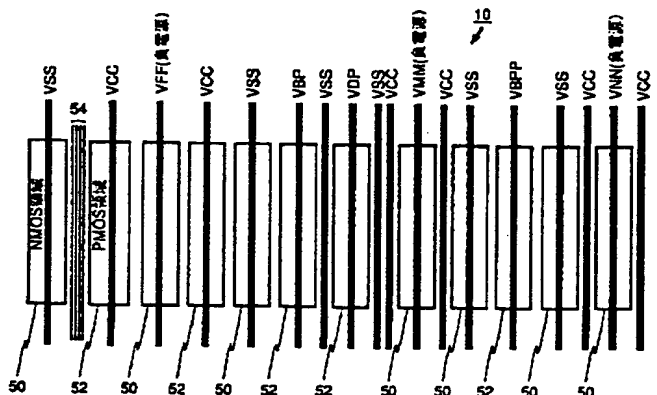


【図 1 1】



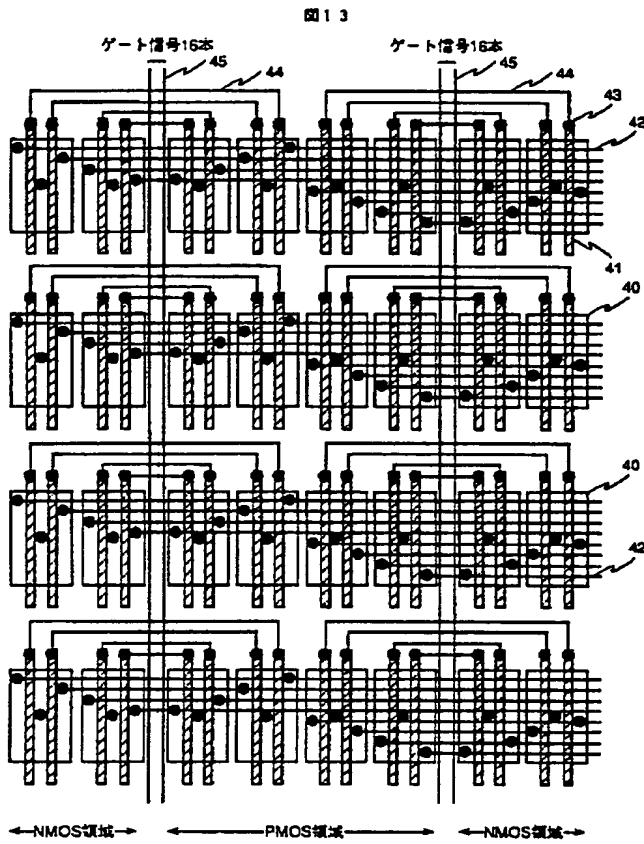
【圖 14】

14

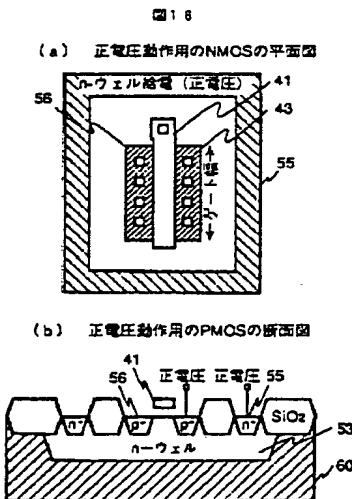




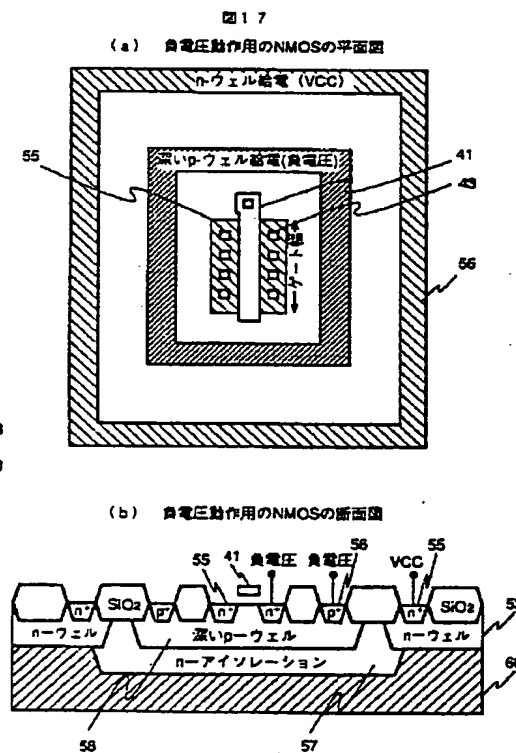
【図13】



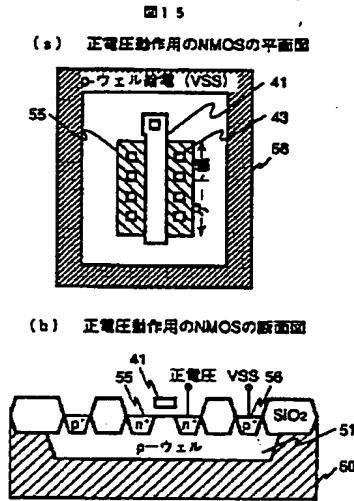
【図16】



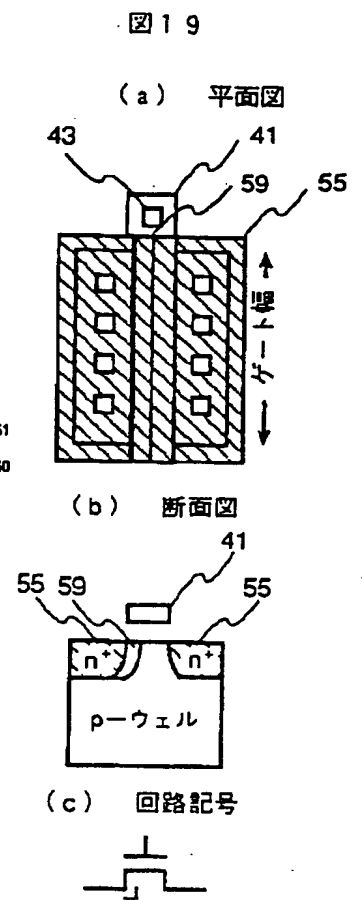
【図17】



【図15】



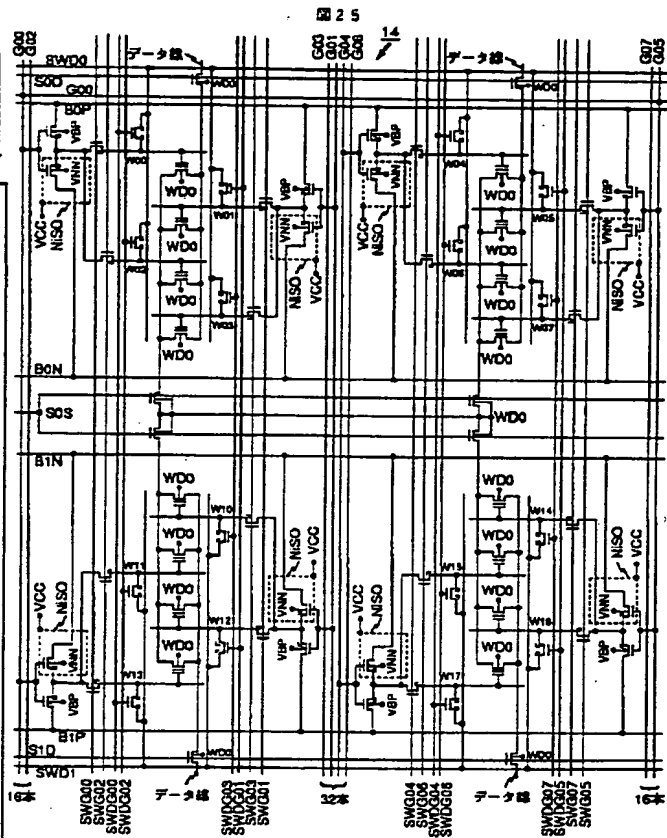
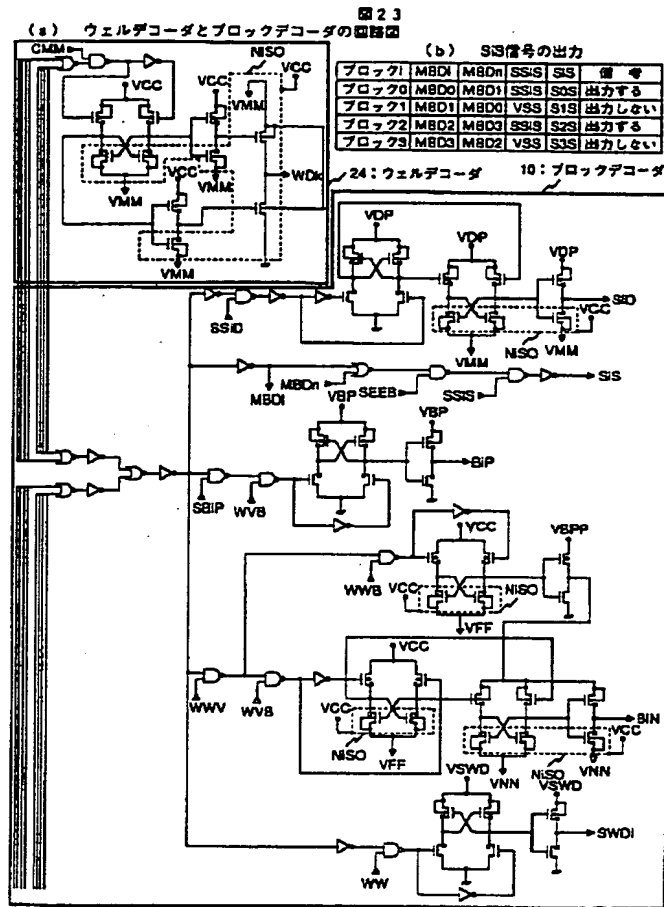
【図19】



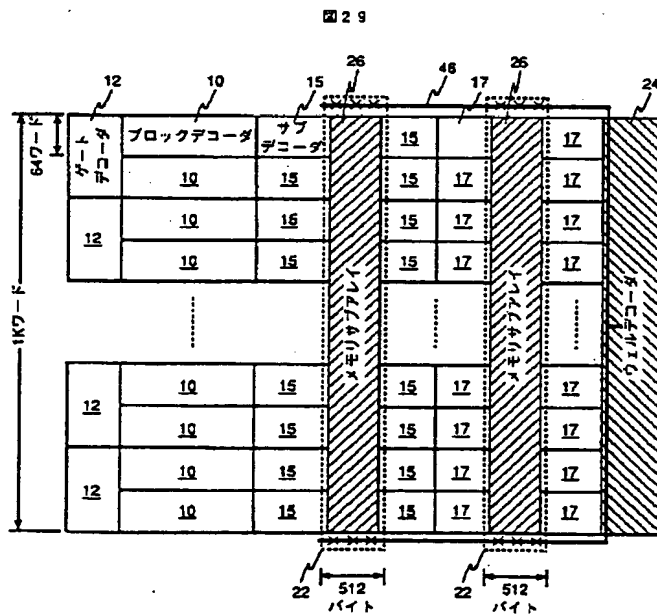


【図23】

【図25】

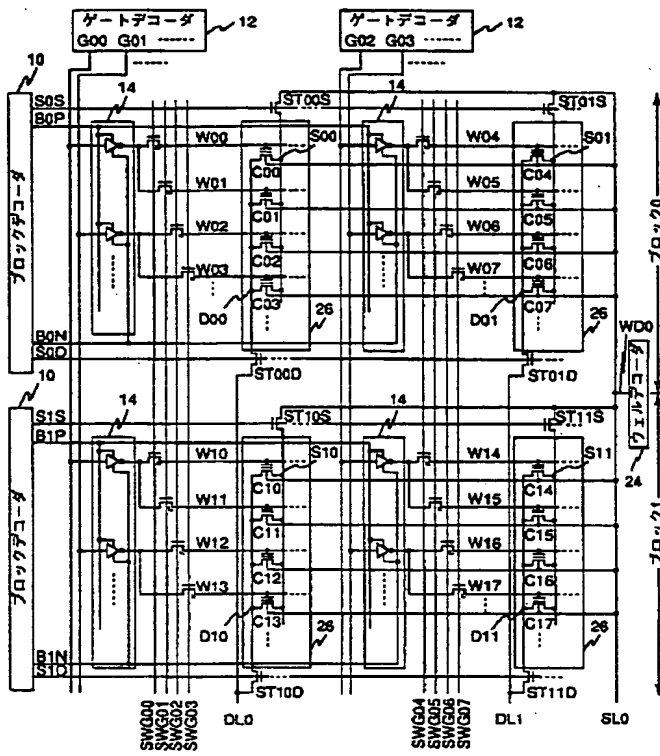


【図29】



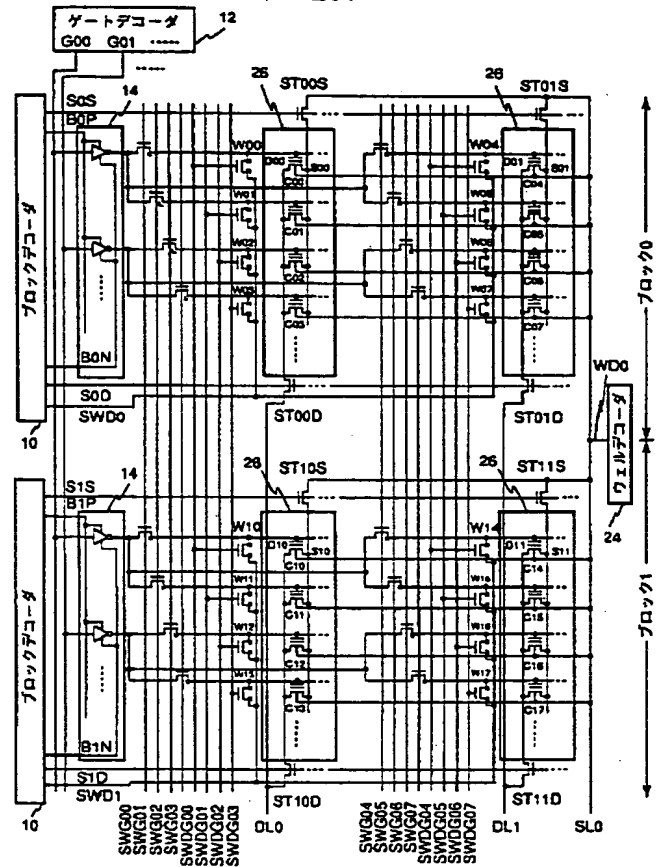
【図27】

図27

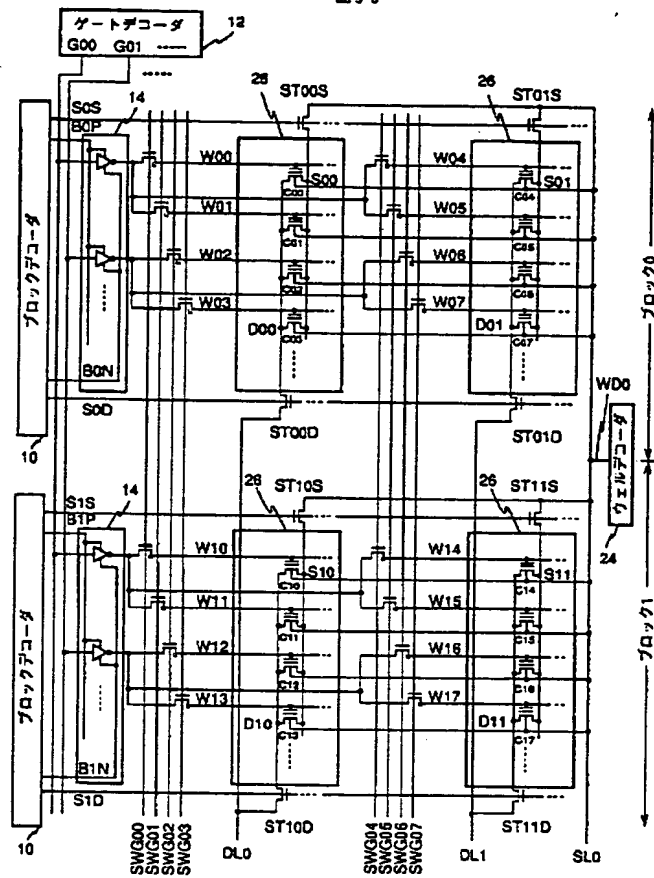


【図28】

図28



**03 0**



(72)発明者 城野 雄介  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 宮本 直樹  
千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内

(72) 発明者 加藤 正高  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

(72) 発明者 木村 勝高  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内

